

A THREE-DIMENSIONAL MEMORY

C08

Patent number: WO03032372
Publication date: 2003-04-17
Inventor: ZHANG GUOBIAO (CN)
Applicant: ZHANG GUOBIAO (CN)
Classification:
- **international:** **G11C29/00; H01L27/06; G11C29/00; H01L27/06;**
(IPC1-7): H01L21/00
- **europaen:** G11C29/00R8L16R; G11C29/00R8T6; H01L27/06E
Application number: WO2002CN00703 20020929
Priority number(s): CN20020113586 20020408; CN20020113738
20020515; US20010328119P 20011007;
US20010332893P 20011118; US20020354313P
20020201; US20020230648 20020828

Also published as:

WO03032372 (A1)
US6717222 (B2)
US2003067043 (A1)

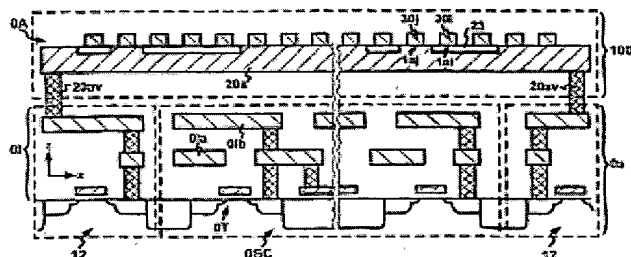
Cited documents:

CN1212452
CN1252604

Report a data error here

Abstract of WO03032372

In a three-dimensional integrated memory (3DiM), three-dimensional memories (3D-Ms) are integrated with conventional readable and writeable memories and/or data processors on a single chip. The overall performance of a 3DiM (such as speed, rate of finished products, programmability and data security) is superior to that of standalone 3D-Ms. The invention provides various types of methods for improving the capability of integration of said 3D-Ms. In addition, the invention also provides further improvement in the structure, circuit design and the like of 3D-Ms. One important application field of 3D-Ms is the integrated circuit testing: a 3D-M loaded with test data may be integrated with a test circuit, and thereby realize self-testing and high-speed testing on the spot.



Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY

THIS IS A COPY OF THE

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日:
2003年4月17日(17.04.2003)

PCT

(10) 国际公布号:
WO 03/032372 A1

(51) 国际分类号⁷: H01L 21/00
(21) 国际申请号: PCT/CN02/00703
(22) 国际申请日: 2002年9月29日(29.09.2002)
(25) 申请语言: 中文
(26) 公布语言: 中文
(30) 优先权:
60/328,119 2001年10月7日(07.10.2001) US
60/332,893 2001年11月18日(18.11.2001) US
60/354,313 2002年2月1日(01.02.2002) US
02113586.X 2002年4月8日(08.04.2002) US
02113738.2 2002年5月15日(15.05.2002) CN
10/230,648 2002年8月28日(28.08.2002) CN

(81) 指定国(国家): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW

(84) 指定国(地区): ARIPO专利(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚专利(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲专利(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI专利(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)

(71)(72) 发明人/申请人: 张国飙(ZHANG, Guobiao)
[CN/CN]; 中国四川省成都市跳蹬河邮局001信箱,
Sichuan 610051 (CN)。

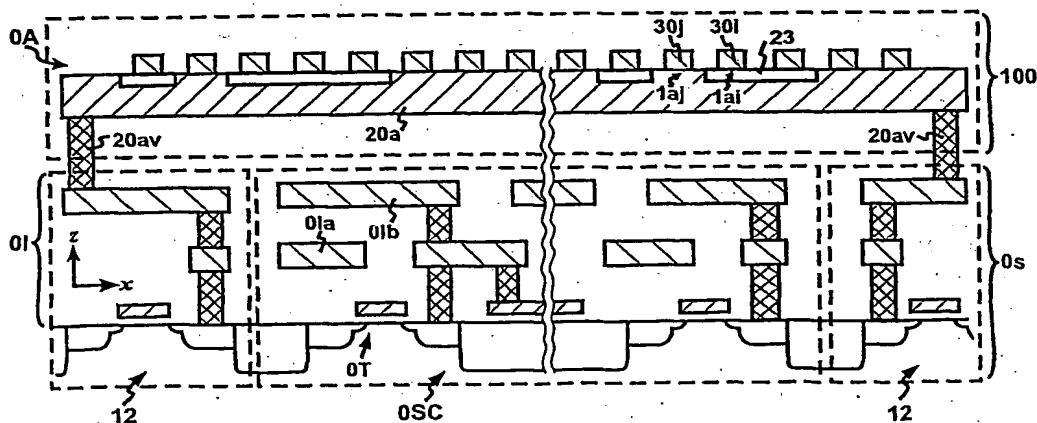
本国际公布:

(74) 代理人: 中国国际贸易促进委员会专利商标事务所
(CCPIT PATENT AND TRADEMARK LAW
OFFICE); 中国北京市阜成门外大街2号万通新世
界广场8层, Beijing 100037 (CN)。

所引用双字母代码和其它缩写符号, 请参考刊登在每期
PCT公报期刊起始的“代码及缩写符号简要说明”。

(54) Title: A THREE-DIMENSIONAL MEMORY

(54) 发明名称: 三维存储器



(57) Abstract: In a three-dimensional integrated memory (3DiM), three-dimensional memories (3D-Ms) are integrated with conventional readable and writeable memories and/or data processors on a single chip. The overall performance of a 3DiM (such as speed, rate of finished products, programmability and data security) is superior to that of standalone 3D-Ms. The invention provides various types of methods for improving the capability of integration of said 3D-Ms. In addition, the invention also provides further improvement in the structure, circuit design and the like of 3D-Ms. One important application field of 3D-Ms is the integrated circuit testing: a 3D-M loaded with test data may be integrated with a test circuit, and thereby realize self-testing and high-speed testing on the spot.

[见续页]

WO 03/032372 A1



(57) 摘要

在三维集成存储器(3DiM)中, 三维存储器(3D-M)与常规的可读可写存储器和/或数据处理器集成在一个芯片上。3DiM 的整体性能(如速度、成品率、可编程性和数据的安全性)远较分离(standalone)的 3D-M 优良。本发明提出了多种提高 3D-M 可集成性的方法。另外, 本发明还对 3D-M 的结构和电路设计等做了进一步改进。3D-M 的一重要应用领域为集成电路测试: 载有测试数据的 3D-M 可以与被测试电路集成在一起, 从而实现现场自测试和同速测试。

三维存储器

技术领域

本发明涉及集成电路领域，更确切地说，涉及三维存储器。

背景技术

三维集成电路（简称为 3D-IC）将一个或多个三维集成电路层（简称为 3D-IC 层）在垂直于衬底的方向上相互叠置在衬底上。3D-IC 层由非单晶（即多晶或非晶）半导体材料构成，它可具有逻辑、存储、模拟等功能。对于具有逻辑和模拟功能的 3D-IC 层来说，它们对缺陷较敏感。由于非单晶半导体材料的缺陷密度较大，故这类 3D-IC 的成品率不高。同时，逻辑和模拟功能功耗较高，它们的三维集成面临较大的散热问题。相比之下，因为一般存储器具有修复缺陷的能力，它对缺陷较不敏感；且其功耗低，不存在散热问题。故存储器较适合于三维集成。

三维存储器（3-dimensional memory，简称为 3D-M）将一个或多个存储层在垂直于衬底的方向上相互叠置在衬底电路上。如图 1A 所示，3D-M 含有至少一个叠置于半导体衬底 0s 上的三维存储层 100，每个三维存储层（如 100）上有多条地址选择线（包括字线 20a 和位线 30a）和多个 3D-M 元(1aa...)。衬底 0s 上有多个晶体管。接触通道口(20av、30av...)为地址选择线(20a、30a...)和衬底电路提供电连接。3D-M 可以分为三维随机存取存储器(3D-RAM)和三维只读存储器(3D-ROM)。3D-RAM 元的电路与常规 RAM 元类似，只是它一般由薄膜晶体管 1t 构成（图 1B）。3D-ROM 可以是掩膜编程(3D-MPROM)、至少一次编程(3D-EPROM)、或多次编程（包括 3D-flash、3D-MRAM、3D-FRAM、3D-OUM 等）。其基本结构可见美国专利 5,835,396 和别的公开文件等。它可以使用如薄膜晶体管 (TFT) 1t 的有源元件（图 1CA、图 1CB）和/或如二极管 1d 的无源元件（图 1DA - 图 1E）。对于使用 TFT 的 3D-ROM 元来说，它们可以含有悬浮栅 30fg（图 1CA）或具有垂直沟道 25c（图 1CB）。对于使用二极管的 3D-MPROM 元来说，它含有具有非线性电阻特性的 3D-ROM 膜 22（包括准导通膜），并以信息开口 24（即通道孔）的存在（或设置介质 26 的不存在）来表示逻辑“1”（图 1DA），信息开口 24 的不存在（或设置介质 26 的存在）来表示逻辑“0”（图 1DB）。这里，设置介质 26 是指介于地址选择线 20a、30a 之间的介质，其存在与否决定该 3D-ROM 元的设置值。对于使用二极管的 3D-EPROM 来说，可以通过反熔丝 22af 的完整性来表示逻辑信息（图 1E）。

3D-M 具有低成本、高密度等优点。但由于它基于非单晶半导体，3D-M 元的性能尚难于与常规的、基于单晶半导体的存储元相比。分离(standalone)的 3D-M 在读写速度、成品率、可编程性等方面尚待改进。这需要充分利用 3D-M 优良的可集成性。通过三维集成，3D-M 能与常规的可读可写存储器和/或数据处理器集成在一个芯片上，从而实现三维集成存储器(3DiM)。3DiM 的整体性能（如速度、成品率、可编程性和数据的安全性）远较分离的 3D-M 优良。本发明提出了多种提高 3D-M 可集成性的方法，并进一步完善了掩膜编程 3D-M 和 3D-M 读电路，还提出了能提高 3D-M 成品率的无缝 3D-M 元。3D-M 的另一

重要应用领域为集成电路测试：载有测试数据的 3D-M 可以与被测试电路集成在一起，从而实现其现场自测试和同速测试。

发明目的

本发明的主要目的是进一步提高三维存储器(3D-M)的可集成性。

本发明的另一目的是进一步提高 3D-M 存储数据的安全性。

本发明的另一目的是进一步提高 3D-M 的容量和降低其成本。

本发明的另一目的是提高 3D-M 的速度。

本发明的另一目的是提高 3D-M 的成品率。

本发明的另一目的是提高 3D-M 所载信息的可升级性。

本发明的另一目的是提供一具有自测试、同速测试能力的集成电路。

根据这些以及别的目的，本发明提供了多种改进的三维存储器(3D-M)。

发明内容

与常规存储器相比较，三维存储器(3D-M)的一个最大优势是其可集成性。由于 3D-M 元不占衬底面积，因此可利用衬底上的半导体面积形成较为复杂的衬底集成电路。衬底集成电路可以包含常规的存储器、数据处理器、模拟电路等。3D-M 与这些衬底集成电路集成后形成的 3D-M 系统芯片(3D-M SoC)被称为三维集成存储器(3-dimensional integrated memory, 简称为 3DiM)。3DiM 可进一步提高 3D-M 的速度、成品率、可编程性和数据安全性等。

在 3DiM 中，与 3D-M 集成的衬底集成电路可包括嵌入式可读可写存储器(embedded RWM, 简称为 eRWM)和嵌入式数据处理器(embedded processor, 简称为 eP)。3D-M 和 eRWM 各有千秋：3D-M 在可集成性和容量/价格方面有优势，eRWM 在速度和可写性方面有优势。它们之间的集成可以发挥各自的优势，以达到优化系统性能的目的。同时，如将 3D-M 和 eP 集成起来，则可在 3DiM 芯片内对 3D-M 所载的数据进行处理，从而提高 3D-M 的数据安全性。

一个典型的 eRWM 是嵌入式 RAM(embedded RAM, 简称为 eRAM)。eRAM 的首访时间很短，它可以作为 3D-M 的数据缓冲区(cache)，即存放 3D-M 数据的一个备份(参见“读写速度”中的“带数据缓冲区的 3D-M”)。eP 在读数据时，先到 eRAM 中寻找。如找不到，则再到 3D-M 中寻找。这样能解决 eP 和 3D-M 数据供需速度不同的问题。另一个典型的 eRWM 是嵌入式 ROM(embedded ROM, 简称为 eROM)。eROM 一般是一个典型的 eRWM 是嵌入式 ROM(embedded ROM, 简称为 eROM)。eROM 一般是非易失性存储器(NVM)，其优良的可编程性能弥补 3D-M 有限的可编程性。eROM 是存储 3D-M 纠错数据(参见“提高成品率的方法”中的“纠错方案”)和升级码(参见“软件的可升级性”)的理想载体。

把 3D-M 和 eP、eRWM 集成在一起，可以实现单芯计算机(computer-on-a-chip, 简称为 ConC)。ConC 能完成当今计算机的多种功能。一个典型的 ConC 是单芯播放器(player-on-a-chip, 简称为 PonC)。PonC 可以用来存储和播放资料(如音像作品、电子书、地图等)，并为它们提供优良的版权保护。对于利用光盘、常规 ROM 来存储资料的技术，盗版者可以通过监听资料存储载体的输出信号或对资料存储载体进行反设计(reverse engineering)来获取原始资料。在 PonC 中，3D-M 与资料播放器(最好含一片内 D/A 转换器)集成在一个芯片里，其输出信号为模拟信号和/或解码信号。在使用时，原始资料不会以任何形式输出到 PonC 外，它很难被数字化地复制，故 PonC 提供极强的版权保护。

对于使用掩模编程 3D-M 来存储数据的 3DiM, 3D-M 中信息开口所代表的最好为加密数据。并且, 3DiM 内最好含有一片内解密引擎, 它对 3D-M 数据进行解密, 解密后的数据被直接送至片内别的功能块。这样, 很难通过剥离(de-layering)等反设计手段来获取 3D-M 所载的数据(包括资料 and 代码)。

本发明从存储器结构和电路设计的角度来进一步提高 3D-M 的可集成性。在存储器结构方面, 首先, 最好使用具有简单结构的存储元, 如基于二极管的三维只读存储元(3D-ROM), 尤其是三维掩模编程存储元(3D-MPROM)等; 其次, 如 3D-M 的工艺流程使用了较高温度, 则衬底电路的互连线系统最好由在该温度下稳定的耐熔性导体(如耐熔性金属)和热稳定介质(如氧化硅、氮化硅)构成; 再次, 3D-M 阵列中最好含有多个地址选择线空隙, 它们使嵌入式引线能穿过该 3D-M 层, 从而为衬底集成电路提供外界接口; 另外, 对于含有高速衬底集成电路, 在至少部分 3D-M 层和衬底电路之间最好有一屏蔽层。

在电路设计的方面, 首先, 最好能使用大容量的单位阵列(单位阵列为一芯片中最基本的存储阵列), 这样使每个 3D-M 芯片含有较少数量的单位阵列, 从而减少 3D-M 对衬底集成电路版图设计的影响; 其次, 尽量简化 3D-M 的周边电路, 以便将尽量大的衬底面积用来实现功能更强的衬底集成电路。在该方面, 因 3D-MPROM 不需要编程电路, 它较三维电编程存储器(3D-EPROM)有优势; 对于“一次编程”3D-EPROM, 由于其编程电压不需“经常”使用, 可以将编程电压直接输入至芯片, 而不在片内产生。

由于其突出的可制造性和可集成性, 3D-MPROM 被认为是一种很有前途的 3D-M。本发明提供了多种自对准 3D-MPROM。在自对准 3D-MPROM 的工艺流程中, 其 3D-ROM 膜与字线和位线均自对准, 即不需要一单独的工艺步骤来对 3D-ROM 膜进行图形转换。这些 3D-ROM 膜可以为柱形, 即 3D-ROM 膜的第一边长等于字线线宽, 第二边长等于位线线宽; 也可以具有自然结结构, 即 3D-ROM 膜是在字线和位线交叉接触处自然形成的。另外, 3D-MPROM 还可以使用 nF 开口掩模版来定义其所载的数据。 nF 开口掩模版的开口大小为本技术支持的最小尺寸的 n 倍, 故其成本较低。同时, 3D-MPROM 还可以使用相互交叉的存储层来提高存储密度。在相互交叉的存储层中, 两个相邻的存储层共享一层地址选择线。另外, 3D-MPROM 的地址选择线可以只含半导体材料, 这样能简化工艺。

与常规半导体存储器相比, 3D-M 元的读写速度较慢, 这可以从电路设计和系统设计的角度来解决。对电路设计而言, 可以利用读出放大器(S/A)、全读模式和自定时来提高其读速度。由于使用 S/A, 产生逻辑输出所需的位线电压幅度很小($\sim 100mV$), 所以对位线充电需要较短的时间, 这能极大地缩短首访时间; 全读模式在一次读操作时将一条字线上的所有存储元中的数据同时读出, 它能提高带宽; 自定时能提高读的可信度并降低能耗。电编程 3D-M 可以采用平行编程来提高写速度。

对系统设计而言, 可利用 3DiM 来隐藏 3D-M 的首访时间。3DiM 中的 eRAM 可用作 3D-M 的 cache。在读操作之后, 锁存在 S/A 上的 3D-M 数据被分段传送到 eRAM。相应地, eRAM 中保留了 3D-M 数据的一个备份。当系统从 3DiM 中寻找数据时, 它先从 eRAM 寻找, 如“命中”, 则直接从 eRAM 中读; 如“未命中”, 则再从 3D-M 中读。非常有趣的是, 虽然单个 3D-M 元的性能尚难于与常规存储元相比, 然而通过系统集成, 其集体性能能与常规存储器相比, 甚至更好。

大容量 3D-M 单位阵列有助于提高 3D-M 的可集成性。可以从几个方面来提高 3D-M 单位阵列的容量。首先, 由于单位阵列的位线数目没有任何限制, 故 3D-M 阵列可以被设计成一矩形, 其位线数目大于字线数目。其次, 由于单位阵列的字线数目受限于读操作时 3D-ROM 元的正反电流比, 可以通过提高正反电流比来提高字线数目。一个提高正反电流比的方法是使用大读电压 V_R 。由于本发明使用了 S/A 等设计, 正反电流比中的反向偏压和正向偏压分离: 最大反向偏压在 S/A 的阈值电压 V_T ($\sim 100mV$) 附近, 正向偏压由 V_R 决定。一般说来, 正向偏压(如 $\sim 3V$) 可远比反向偏压(如 $\sim 0.3V$) 大。通过提高 V_R 可极大

地提高正反电流比。另一个提高正反电流比的方法是使用二极化 3D-ROM 元：二极化 3D-ROM 元的上下半膜含有不同的基材料，或其与上下电极有不同界面。

为了提高 3D-M 的成品率，可以通过一无缝 3D-ROM 元直接减少 3D-ROM 阵列中的缺陷数目。无缝 3D-ROM 元中的缺陷敏感膜（包括 3D-ROM 膜以及与之相邻的至少部分底电极和至少部分顶电极）是以一种“无缝”形式来形成的，在形成这些膜的过程中无图形转换步骤。另一种提高成品率的方法使用如纠错码(ECC)和/或冗余电路的纠错方案。它们可以纠正 3D-M 阵列中已有缺陷导致的错误。使用 ECC 方案的 3D-M 阵列可使用列冗余码（如 Hamming 码）。在冗余电路中，3DiM 中的 eROM 可以用来存储缺陷位的地址及相应的纠错数据。冗余电路可以对个别位错误、位线错误、字线错误进行纠错。该纠错过程可以在完成列译码后进行（“读时”修复），也可以在保留 3D-M 数据备份的 eRAM 中进行（“读后”修复）。

字线冗余电路除了对字线错误进行纠错外，还可以对 3D-M 所载的软件码提供升级能力。相应地，字线冗余电路又被称作“机动码块”。机动码块还可以使用地址转换法。在地址转换法中，3D-M 和 eROM 形成一单独存储空间：3D-M 载有原始码，eROM 载有升级码。衬底集成电路还含有一地址转换块，它将输入地址视为虚拟地址并将其转换成上述单独存储空间的物理地址。如果执行码使用原始码，那么，该物理地址指向 3D-M；如果执行码使用升级码，那么，该物理地址指向 eROM。

3D-M 的另一个重要应用领域是集成电路测试。现有的测试技术难以对高速集成电路实现同速测试(at-speed test)，且其价格昂贵，并不支持集成电路的现场自测试和诊断。随着 3D-M，尤其是 3D-ROM 的出现，这些问题可以得到解决。3D-M 作为测试数据的载体，可以和被测试电路(CUT)集成在一个芯片上。在测试时将输入测试矢量从 3D-M 中下载送至被测试电路，然后将其输出与预期测试矢量比较，以决定被测试电路的性能。这种基于三维存储器进行的自测试(3DMST)有诸多优点：第一，3D-M 与 CUT 集成在一起，它们之间具有很大带宽，可以很容易地对高速集成电路进行同速测试；第二，3D-M 成本较低，在 CUT 中嵌入 3D-M 导致的附加成本很低；第三，使用 3DMST 的芯片能进行现场自测试和诊断，进而提高系统的可靠性；第四，3D-M 对 CUT 的版图设计影响很小；第五，3D-M 存储量极大，它存储的测试矢量能对 CUT 提供较高的测试覆盖率。

把测试矢量从三维存储器下载至被测试电路可以采用串行下载或平行下载两种方式。在串行下载过程中，测试矢量被逐一移位移进测试触发器链中。在平行下载过程中，测试矢量被平行输入至测试触发器中。3DMST 集成电路还支持平行自测试、混合信号电路测试、印刷电路版的系统自测试、测试数据的压缩和解压缩等功能。3DMST 测试还可以用在混合型测试中，即它可以与别的测试手段（如 BIST 测试和外界扫描测试）结合起来，以优化测试成本和测试可靠性。

在 3DMST 测试过程中，如输出测试矢量与预期测试矢量不相符，有两种可能：一种可能是被测试电路有缺陷；另一种可能是 3D-M 有缺陷。第二种可能的情形会导致成品率不必要的损失。为了避免这种情形，可以使用“可信赖的 3DMST 测试”或对被测试电路进行二次甄别。“可信赖的 3DMST 测试”保证 3D-M 数据无误。二次甄别是在完成 3DMST 测试后，对未通过的芯片再进行一次外界扫描测试。如该芯片仍不能通过该扫描测试，它才被认为是废品。这种测试模式又被称为双重测试。为了缩短双重测试时外界扫描测试的时间，在 3DMST 测试时，可将问题测试矢量（即输出测试矢量与预期测试矢量不相符的测试矢量）记录下来，这样在进行外界扫描测试时，可仅对芯片进行问题测试矢量的测试。

附图说明

图 1A 是一种 3D-M 的透视图; 图 1B - 图 1CB 表示多种基于薄膜晶体管的 3D-M 元; 图 1DA、图 1DB 分别表示一逻辑“1”和“0” 3D-MPROM 元; 图 1E 表示一种 3D-EPROM 元。

图 2A - 图 2C 表示一种三维集成存储器(3DiM)及其衬底电路的框图。

图 3A - 图 3D 描述多种单芯计算机(ConC)。

图 4A - 图 4B 描述两种单芯播放器(PonC)。

图 5AA - 图 5CB 表示多种 3DiM 的屏蔽层。

图 6AA - 图 6CB 表示多种 3DiM 衬底集成电路的接口结构。

图 7AA - 图 7BC 表示多种折叠的地址译码器以及它们使用的布线层。

图 8A - 图 8B 比较一种 3D-MPROM 工艺过程中使用的 $1F$ 和 nF 开口图形及其与地址选择线图形的相对位置。

图 9A - 图 9C 描述多种自对准、柱形 3D-MPROM 及其工艺流程。

图 10A - 图 10ED 描述多种自对准、自然结 3D-MPROM 及其工艺流程。

图 11A - 图 11B 表示两种使用金属-半导体地址选择线的 3D-EPROM 存储元。

图 12AA - 图 12CB 表示多种倒 U 形连接的结构和工艺流程。

图 13A - 图 13C 表示一种 3D-ROM 核的电路符号、基本框图和详细框图。

图 14A - 图 14G 描述多种 3D-ROM 核使用的电路块。

图 15AA - 图 15AD 解释首访时间的来源; 图 15BA - 图 15CC 提供多种参考位线的设计; 图 15D 为 3D-ROM 阵列中数据位线、哑位线和定时位线的一种实现方法。

图 16 表示一种 3D-ROM 核中各种信号的时序图。

图 17A - 图 17G 表示多种 3DcM (cached 3D-M) 及其读流程。

图 18A - 图 18B 表示一种采用平行编程的 3D-EPROM; 图 18C 表示一种具有外接编程电源的 3D-EPROM。

图 19AA - 图 19G 描述多种提高单位阵列容量的方法。

图 20AA - 图 20CB 描述多种 3D-M 缺陷。

图 21A - 图 21B 表示两种无缝 3D-ROM 元。

图 22AA - 图 22E' 表示多种无缝 3D-ROM 元的工艺流程。

图 23A - 图 23B 是两种准无缝 3D-ROM 元。

图 24 是一种 3D-M 纠错(ECC)电路。

图 25A - 图 25DC 表示多种 3D-M 冗余电路。

图 26A - 图 26C 表示多种具有软件升级功能的 3D-M。

图 27A - 图 27B 描述一种现有技术使用的集成电路测试方式。

图 28A - 图 28C 描述一种基于 3D-M 的集成电路自测试(3DMST)。

图 29AA - 图 29BD 表示多种测试数据下载的方式。

图 30A - 图 30C 是平行自测试、混合信号测试和印刷电路板系统自测试的多种实施例。

图 31AA - 图 31BB 提供多种减少测试数据量的方法。

图 32 表示一种“可信赖的 3DMST 测试”。

图 33A - 图 33CB 表示多种具有双重测试能力的实施例。

为简便计, 在本说明书中, 如果一个图号缺应有的后缀, 则表示它代表所有具有该后缀的图。如图 10 指图 10A - 图 10ED; 图 10E 指图 10EA - 图 10ED。

具体实施方式

1. 三维集成存储器(3DiM)

图 2A 是一三维集成存储器(3DiM)的截面图。3DiM 将 3D-M 阵列 0A 和衬底电路 0s 集成在一起。3D-M 阵列 0A 含有一层或多层三维存储层 100。每个三维存储层 100 中含有多条地址选择线(20a、30i...)和多个 3D-M 元(1ai...)。这些地址选择线含有金属材料 and/或掺杂的半导体材料。衬底上的晶体管 0T 及其互连线 0I(0Ia、0Ib...)组成衬底电路 0s。从电路的角度,衬底电路 0s 含有一衬底集成电路 OSC 和地址译码器 12、18/70 (图 2B)。这些地址译码器 12、18/70 为 3D-M 阵列 0A 提供地址译码。接触通道口(20av...)为地址选择线(20a...)和衬底电路 0s (如地址译码器)提供电连接。

在一些应用中,3D-M 中的地址选择线使用多晶半导体(参见图 9-图 11)。采用常规工艺生成多晶硅需要经过 $>500^{\circ}\text{C}$ 的高温。为了避免在这些温度时损伤衬底电路,其互连线系统 0I (包括金属连线之间的绝缘介质)最好由耐熔性导体(如耐熔性金属、掺杂的多晶硅、金属硅化物等)和热稳定介质(如氧化硅、氮化硅)构成。这里,钨(W)是一个优良的耐熔性导体的候选材料。其工艺成熟,导电率仅为 $5.2\mu\Omega\cdot\text{cm}$ 。采用钨互连线的衬底集成电路能完全胜任大多数 3DiM 应用,尤其能满足音像播放器对数据处理能力的要求。

图 2B 是 3DiM 衬底电路 0s 的平面图。由于 3D-M 的存储元不占用衬底面积,且其地址译码器 12、18/70 在衬底 0s 上占的面积不大,衬底 0s 大部分面积上的晶体管可以用来形成各种衬底集成电路 OSC。如图 2C 所述,衬底集成电路 OSC 含有嵌入式可读可写存储器(embedded RWM, 简称为 eRWM) 80 和嵌入式处理器(embedded processor, 简称为 eP) 88 等。eRWM 80 可以包括嵌入式 RAM (简称为 eRAM) 和嵌入式 ROM (简称为 eROM)。eRAM 中的 RAM 可以是 SRAM 或 DRAM 等; eROM 中的 ROM 最好是非易失性存储器(NVM), 如 MROM、EPROM、EEPROM、flash 等。eP 88 可以包括嵌入式的解码器、数-模(D/A)转换器和解密引擎等, 一个典型的 eP 是资料(如音像)播放器(embedded media-player, 简称为 eMP)。衬底集成电路 OSC 能与 3D-M 0 相结合完成各种功能: eRAM 可用作 3D-M 的数据缓冲区(cache) (参见图 17); eROM 可用作 3D-M 的冗余电路和软件升级块(参见图 25-图 26); eP 可用作形成单芯计算机(computer-on-a-chip)和单芯播放器(player-on-a-chip (参见图 3-图 4)。在上述应用中,衬底集成电路 OSC 为 3D-M 0 服务。另一方面, 3D-M 0 也能为衬底集成电路 OSC 服务: 它可以作为集成电路测试矢量的载体, 从而实现基于 3D-M 的自测试(参见图 28-图 33)。

A. 单芯计算机(ConC)

图 3A-图 3D 表示多种单芯计算机(computer-on-a-chip, 简称为 ConC)的框图。ConC 的衬底集成电路 OSC 含有 eRAM 82 和 eP 88 等。3D-M 0 和 eRAM 82 组成存储区 86。来自 3D-M 的数据一般先存储在 eRAM 中, 然后再被 eP 处理。这样能解决 eP 和 3D-M 读取速度不同的问题。这种方法的具体实施例可参见图 17。ConC 的这种层次结构(3D-M 0 \rightarrow eRAM 82 \rightarrow eP 88)类似于常规计算机的层次结构(HDD \rightarrow RAM \rightarrow CPU)。在常规计算机中, 因硬盘容量大, 它被用作主要的存储载体, 但因其首访时间较长($\sim\text{ms}$), 它需要 RAM 作为其数据缓冲区(cache)。在 ConC 中, 3D-M 容量大, 它也可作为主要的存储载体, 同时, 因其首访时间稍长, 它也需要 eRAM 82 作为其 cache。但是, 因为 3D-M 的首访时间($\sim\mu\text{s}$)远较硬盘短。故 3D-M 所需的、作为 cache 的 eRAM 远比 HDD 所需的 RAM 要少。

ConC 的软件代码适于存储在 3D-M 中, 数据一般可存储在 eRAM 和/或 eROM 中。当 ConC 的软件代码下载到 eRAM 时, 它可以和存储在 eRAM 中的数据共享同一 eRAM 82 (图 3A), 或分隔在 eRAM 82 的两个扇区 82a、82b 内(如扇区 82a 存储代码, 扇区 82b

存储数据) (图 3B)。对于存储在 eROM 84 中数据, 它们可以先下载到 eRAM 82 中, 然后再在那里执行; 或直接在 eROM 84 中执行 (图 3C)。为了简化硬件设计, ConC 还可以使用地址转换的方案 (图 3D)。3D-M 0、eRWM 80 可组成一统一存储空间 86S。来自 eP 88 的地址 86A 首先被送至一地址转化块 86T, 该地址转化块 86T 将该地址 86A 视为虚拟地址并将其转化为物理地址 86TA。该物理地址 86TA 被送到该统一存储空间 86S 的地址译码器 164D。然后, 根据该物理地址 86TA 决定从 3D-M 0 或 eRWM 80 中读取数据。地址转化的一个具体实施例可参见图 26C。

在资料 (如电子书、地图等, 尤其是音像作品) 存储方面, ConC 可以用来实现单芯播放器 (player-on-a-chip, 简称为 PonC)。PonC 为资料供应商提供优良的版权保护。现有的资料发行一般通过光盘 (如 CD、DVD 等) 来进行。因光盘不能与资料 (如音像) 播放器集成, 盗版者可以很容易地从光盘与资料播放器的接口处窃取到原始资料。而如图 4A 所示, 在 PonC 中, 作为资料载体的 3D-M 0 与一资料播放器 eMP 88MP 集成在一起。eMP 88MP 中的解码器 88DE 对原始资料进行处理 (如解码等)。更为理想的是, 一片内 D/A 转换器 88DA 将数字音像信号 89d 转换为模拟音像信号 89a。此外, 如果原始资料是在加工厂中利用掩膜编程、或是在出售前由资料供应商等通过电编程等手段“固化”在 3D-M 中, 那么原始资料在使用过程中不以任何形式被第三者得知, 它很难被数字化地复制, 故 PonC 能提供极强的版权保护。PonC 有助于“随身听”、“可背式电脑 (wearable computer)”等的小型化, 今后它们只需要一个芯片、电池和输出设备 (耳塞或屏幕)。

对于使用 3D-MPROM 存储资料或别的敏感数据的 3DiM, 为了防止职业盗版者通过剥离 (de-layering) 等反设计 (reverse engineering) 手段从信息开口图形处窃取其所载的数据, 可对 3D-MPROM 所载数据进行加密。同时, 可以充分利用 3D-M 优良的可集成性, 在衬底集成电路 0SC 中形成一片内解密引擎 88DE 和一片内密钥存储器 85 (图 4B)。3D-MPROM 所载的信息在片内进行解密, 解密后的数据 89dd 直接被送至衬底上别的集成电路块 0SCX 中进行处理。这样, 很难对 3D-MPROM 进行反设计。

B. 屏蔽

在 3DiM 中, 当衬底电路在高速运行时, 它可能对 3D-M 的数据读取会产生干扰。为避免这种干扰, 在一些应用中有必要在衬底电路和数据读取线 (如位线) 之间形成一屏蔽层 10S。图 5AA - 图 5CB 描述了三种屏蔽层。图 5AA 和图 5AB 是第一种具有屏蔽层 10S 的 3DiM 的截面图和屏蔽层 10S 的平面图。该实施例的屏蔽层 10S 是一能覆盖大部分衬底电路 0s 的金属版 0IS。图 5BA 和图 5BB 是第二种具有屏蔽层的 3DiM 的截面图和屏蔽层 10S 的平面图。该实施例中, 字线层 20a 将剩余的 3D-M 0 与衬底电路 0s 分开。由于字线间距为该技术的最小间距, 且字线 20a 一般处于静态 (即只处于 GND 和 V_R 两个电势下), 因此字线层 20a 可以作为屏蔽层 10S 并将衬底电路 0s 和 3D-M 0 之间的大部分电磁干扰屏蔽掉。图 5CA 和图 5CB 是第三种具有屏蔽层的 3DiM 的截面图和屏蔽层 10S 的平面图。由于衬底电路的电源互连层一般位于衬底电路的最顶层, 它可以用作衬底电路的屏蔽层 10S。为了减少衬底电路 0s 和 3D-M 0 之间的电磁干扰, 最好能尽量缩小 V_{DD} 互连线 0Ib1 和 GND 互连线 0Ib2 的间隔 d。注意到, 在图 5BA - 图 5CB 中, 现成的布线层被用作屏蔽层, 故不需专为屏蔽制造一屏蔽层 10S。

C. 接口引线

图 6AA 表示一按常规方法设计的 3D-M 存储阵列以及布置在其四周的接触通道口 20av-20hv。图 6AB 为其沿 A'A" 的截面图。从存储阵列下方的衬底集成电路往四周看, 这些接触通道口 20av-20hv 以及存储阵列形成一道“密集的网”。这道“密集的网”使衬底集成电路较难于与外界 (芯片外) 接口。

为了方便衬底集成电路与外界的接口, 可以使用嵌入式引线 and/或地址选择线弯折等手段。图 6BA - 图 6BB 描述一种利用嵌入式引线 20ei。它尤其适合于翻转芯片 (flip-chip)。

BGA等封装。这里，在多条地址选择线之间留有间隙：在字线20p和20q之间留有第一间隙20gp，在位线30p和30q之间留有第二间隙30gp（图6BA）。第一间隙20gp和第二间隙30gp之间的空间可以用来形成一平台垫（landing pad）20lp1。存储层100中的平台垫20lp1、存储层200中的20lp1'和接触通道口20lv1-20lv3构成嵌入式引线20ei（图6BB），它为衬底集成电路提供接口。嵌入式引线20ei几乎可以分布在芯片的任意位置，且其长度较短，这有助于提高接口速度。

图6CA-图6CB描述一种通过地址选择线弯折来提供衬底集成电路与外界接口的方法。字线20a-20h分为两组：字线组A，包括字线20a-20d；字线组B，包括字线20e-20h。每组字线被弯折（图6CA），从而在其接触通道口20av-20dv、20ev-20hv之间形成接口通道20gpb、20gpb'（图6CB）。这些接口通道允许衬底集成电路的引线通过并与外界接口。另外，接触通道口的间距 d_{cv} 设计更为灵活，它可以比常规方法设计的3D-M的 d_{cv} 大（常规方法设计的3D-M的 d_{cv} 等于地址选择线的间距 d_{al} ，参见图6AA），这能更方便地址译码器的版图设计。

D. 地址译码器折叠

一种提高3D-M容量的方法是提高其阵列效率。阵列效率为存储阵列的面积与整个芯片面积之比。由于常规存储器的周边电路和存储阵列均位于衬底里，周边电路一般只能位于存储阵列“外面”，故阵列效率一般~60%。另一方面，由于3D-M的存储阵列高于衬底，且周边电路可以通过布线层被折叠至存储阵列下方（参见美国专利5,835,396的图14），故存储阵列几乎可以占有芯片的整个面积，从而得到近于理想的阵列效率。同时，对于与衬底电路集成的3D-M来说，其布线层可以利用衬底电路上现成的互连线层（图2A），故不需为布线层制造额外的互连线层，这能简化工艺流程。图7AA-图7BC描述了多种地址译码器折叠以及它们使用的布线层。

图7AA-图7AC描述了一种使用独用布线层的地址译码器折叠。该实施例含有互连线0R和存储阵列0A。互连线0R含有四层布线层0r1-0r4，存储阵列0A含有四层地址选择线20a'、30a'、20a、30a。每层布线层(30a、20a、30a'、20a')单独供一地址选择线层(0r1-0r4)使用（图7AA、图7AB），故这些布线层被称为独用布线层。布线层0r2将与字线20a相连的译码器折叠至存储阵列0A下；布线层0r1、0r3、0r4也有类似功能。相应地，周边电路几乎可以放置于存储阵列0A下的任何位置（图7AC）：行译码器12l、12r可放置其左右两边；列译码器18t、18b可放置在其上下两边；存储阵列角上的行译码器12tl（通过连接线0cw与相应的字线相连接）可放置在存储阵列0A稍中位置的下面。因此，所有的周边电路均可位于存储阵列0A内。很明显，独用布线层支持两端驱动的地址选择线（如3D-EPROM的字线和位线，以及3D-MPR0M的字线）。

图7BA-图7BC描述了一具有共享布线层的3D-M。从它的名称可以知道，两层地址选择线共享一布线层，如字线20a和位线30a共享布线层0r1'，字线20a'和位线30a'共享布线层0r2'（图7BA、图7BB）。同样地，布线层0r1'、0r2'将译码器折叠至存储阵列0A下（图7BC）。它较适合单端驱动的地址选择线。

E. 支持高温操作的3D-M

在3DiM的一些应用中，尤其是ConC中，3D-M可能需要承受较高工作环境温度。在高温下，使用多晶或非晶硅的3D-M可能会有较大的漏电流。为了保证其正常运行，可以在3D-M中使用具有隙宽(band-gap)半导体材料，如C、SiC_x等；也可以通过离子注入等方式在3D-M使用的半导体材料中掺C、O、N等元素，这些元素也能调节3D-M中半导体材料的隙宽。相应地，图1DA的3D-ROM膜22可含有一层高隙宽半导体材料，如SiC_x(x>0)、SiO_y(y>0)、SiN_z(z>0)。

2. 3D-ROM 结构

由于其结构简单、易于制造，基于二极管的三维只读存储元(3D-ROM)极有可能成为第一种大量生产的 3D-M。同时，3D-ROM 优良的可集成性使它能广泛地应用在 ConC/PonC 中。本发明对 3D-ROM 结构做了进一步完善。

A. 3D-MPROM

在各种 3D-ROM 中，3D-MPROM 技术尤其易于实现。3D-MPROM 通过通道孔的存在与否来区分逻辑“0”和“1”。相应地，这些通道孔也被称为信息开口。3D-MPROM 芯片成本包括地址选择线(字线和位线)光刻成本和信息开口光刻成本。地址选择线光刻成本不高。这是因为：地址选择线图形具有很强的重复性，可以使用移相掩模版(PSM)和成熟的光刻技术；同时，地址选择线掩模版可以用在数量众多的 3D-MPROM 芯片中，故每个 3D-MPROM 芯片分摊到的地址选择线掩模版成本较低。相对而言，信息开口光刻成本较高。幸运的是，可以使用 nF 开口掩模版和光刻编程技术来降低其成本。图 8A - 图 8B 比较了 $1F$ 开口掩模版和 nF 开口掩模版及其在 3D-MPROM 工艺中的应用。

图 8A 表示一 3D-MPROM 工艺中常规 $1F$ 开口图形与地址选择线图形在硅片上的相对位置。由于通道孔落在字线和位线的交叉区域内，因而常规信息开口(如 1ca)的尺寸最好小于或等于地址选择线(如 20c、30a)的线宽，即 $1F$ 。实际上，3D-MPROM 可以使用具有较大尺寸的开口(参见图 9 - 图 10)。图 8B 表示一 3D-MPROM 中 nF 信息开口图形与地址选择线图形在硅片上的相对位置。这里， $n=2$ ，即指信息开口(如 1ca+)的尺寸为地址选择线(如 20c、30a)线宽的 2 倍。对于使用 $0.25\mu\text{m}$ 技术的 3D-MPROM 来说，信息开口掩模版可以使用 $0.5\mu\text{m}$ 技术。另外，由于相邻的 $2F$ 信息开口可以合并在一起，且光刻时掩模版与其下方图形的套刻精度要求较低，信息开口的光刻成本可以被极大地降低。图 9 - 图 10 的实施例均使用 nF 开口掩模版。当然，它们也可以使用 $1F$ 开口掩模版。

图 9A - 图 9C 描述多种自对准、柱形 3D-MPROM (self-aligned pillar-shaped 3D-MPROM，简称为 SP 3D-MPROM) 及其工艺流程。在 SP 3D-ROM 的工艺过程中，没有一单独的 3D-ROM 膜刻蚀步骤，3D-ROM 膜是在字线刻蚀步骤和位线刻蚀步骤中自然形成的。在 SP 3D-MPROM 中，3D-ROM 膜为柱形，其第一边长等于字线线宽，第二边长等于位线线宽。图 9A - 图 9BD 的实施例中存储层相互交叉，图 9C 的实施例中存储层相互隔离。

图 9A 表示一层间交叉的 3D-MPROM (inter-digitated SP 3D-MPROM，简称为 ISP 3D-MPROM)。在该实施例中，存储层相互交叉且相邻存储层共享地址选择线，如存储层 ML 100 和存储层 ML 200 共享字线 20a。共享的地址选择线要求相邻存储层的二极管极性相反，即存储元的薄膜顺序相反：假设存储层 ML 100 中的 3D-ROM 膜 22 的分层结构为 N^+ 、 N^- 、 P^+ (按形成的先后顺序排列)，则存储层 ML 200 中的 3D-ROM 膜 22' 的分层结构为 P^+ 、 N^- 、 N^+ 。对位于字线 20a 和位线 30c 之间的存储元而言，字线和位线之间有一设置介质膜 23，它将字线和位线隔离，故该存储元代表逻辑“0”；对位于字线 20a 和位线 30b 之间的存储元而言，字线和位线之间有一信息开口 24，电流能够从字线流到位线，故该存储元代表逻辑“1”。注意到，由于使用了 nF 开口掩模版，在沿高层地址选择线(字线 20a)的方向上，信息开口 24 的边长大于低层地址选择线(位线 30b)的线宽。

在读 ISP 3D-ROM (如存储层 ML 200) 时，在字线 20a 上加读电压 V_R ，在位线 30a' - 30c' 上探测读电流。同时，对别的存储层上的地址选择线 20a'、30a - 30c 上加一偏压，从而避免读电流流到这些存储层中去，如在 20a' 上加 0V，30a - 30c 上加 V_R 。

图 9BA - 图 9BD 是 ISP 3D-MPROM 的一种工艺流程图。首先，连续形成位线膜和第一 3D-ROM 膜 22，然后利用第一刻蚀依次刻蚀位线膜 30a 和第一 3D-ROM 膜 22，形成位线条。在位线条之间填充低层介质 26，再使用 CMP 等方法将其平面化并暴露第一 3D-ROM 膜 22 (图 9BA)。位线条的另一种方案是在形成位线膜 30a 和第一 3D-ROM 膜

22 后连续形成一位线缓冲膜 26e (图 9BA')。该位线缓冲膜 20e 最好是导电的且在第一刻蚀时被刻蚀成形。该方案可用来形成无缝 3D-ROM 元 (见“提高成品率的方法”)。

此后,在平面化后的低层介质 26 上形成设置介质膜 23。如使用 nF 开口掩模版,则设置介质 23 最好与低层介质 26 采用不同介质材料。譬如说,设置介质 23 可以使用氮化硅或 SiN_x/SiO_2 多层结构 (SiN_x 在 SiO_2 下面),而低层介质 26 使用氧化硅。之后,对 nF 开口掩模版进行光刻。在逻辑“0”存储元 (如与位线 30a 交叉处) 处的光刻胶 23pr 留下;在逻辑“1”存储元 (如与位线 30b 交叉处) 处的光刻胶曝光被去掉,以便形成信息开口 24 (图 9BB)。

光刻后对设置介质 23 进行第二刻蚀。该第二刻蚀最好对设置介质 23 和低层介质 26 有较好的刻蚀选择比,即它能较快地刻蚀设置介质膜 23,但会停止在低层介质 26 上。这里,在 x 方向上,信息开口 24 的边长大于低层地址选择线 (位线 30b) 的线宽,这并不会影响 3D-MPROM 的功能。在第二刻蚀之后,连续形成字线膜 20a 和第二 3D-ROM 膜 22' (图 9BC)。接着,利用第三刻蚀依次刻蚀第二 3D-ROM 膜 22'、字线膜 20a 和第一 3D-ROM 膜 22 (第三刻蚀在位线膜 30a 上停止),形成字线条 (图 9BD 表示其 $y-z$ 的截面图。注意到,图 9BA - 图 9BC 均为 $x-z$ 的截面图)。

上述工艺流程没有使用一个单独的刻蚀步骤来定义 3D-ROM 膜 22, 3D-ROM 膜 22 是在第一刻蚀步骤和第三刻蚀步骤时自然形成的。相应地,它与字线和位线是自对准的。3D-ROM 膜 22 为柱形,该柱形的第一边长 $22wx$ 等于位线线宽 $30w$ (图 9A),第二边长 $22wy$ 等于字线线宽 $20w$ (图 9BD)。

图 9C 表示一层间分离的 SP 3D-MPROM (separate SP 3D-MPROM, 简称为 SSM MPROM) 截面图。在该实施例中,存储层之间由层间介质 27 隔开且不共享地址选择线。

图 10A - 图 10ED 描述多种自对准、自然结 3D-MPROM (self-aligned natural-junction 3D-MPROM, 简称为 SN 3D-MPROM) 及其工艺流程。在 SN 3D-ROM 中没有一单独的 3D-ROM 膜。二极管结及类似的结自然形成在字线和位线的交叉接触处,3D-ROM 膜的一部分位于字线内,另一部分位于位线内。图 10A - 图 10CD 的实施例中存储层相互交叉,图 10D - 图 10ED 的实施例中存储层相互隔离。

图 10A 表示一层间交叉的 SN 3D-MPROM (inter-digitated SN 3D-MPROM, 简称为 ISN 3D-MPROM)。它的结构类似于图 9A 中 ISP 3D-MPROM,只是 ISN 3D-MPROM 没有一单独的 3D-ROM 膜 22。图 10BA - 图 10BD 表示多种 ISN 3D-MPROM 元。在每个图中有两个存储元 1nj、110,其中存储元 1nj 叠置在存储元 110 之上,它们共享一个电极 20a。存储元 1nj 代表逻辑“1”,存储元 110 代表逻辑“0”。

图 10BA 描述一自然 $P^+/N^-/N^+$ 二极管结。对于存储元 1nj 来说,字线 20a (含有 P^+ 多晶硅或其它半导体材料) 和位线 30a' (含有 N^+ 多晶硅 30a1'、 N^- 多晶硅 30a2'、 N^- 多晶硅 30a3') 在交叉处相互接触且形成一自然 $P^+/N^-/N^+$ 二极管结,从而代表逻辑“1”。同时, N^- 多晶硅 30a3' 可以与上一层的字线 20a' 形成另一自然结 (参见图 10A, 此处略去未绘出)。对于存储元 110 而言,由于字线 20a 和位线 30a (含 N^- 多晶硅 30a1、 N^+ 多晶硅 30a2) 之间存在一设置介质 23,它们之间不能形成自然结,故该存储元代表逻辑“0”。

图 10BA 中的存储元可以利用常规工艺流程来形成:地址选择线 30a、20a、30a' 由标准多晶硅工艺形成;在形成所有地址选择线后,一高温退火步骤激活掺杂杂质并形成优良的自然二极管结。由于使用较高温度,衬底电路的互连线最好使用耐熔性导体,比如说,掺杂的多晶硅、难熔金属及其合金或化合物。

图 10BB 与图 10BA 相比,其字线 20a 含有金属材料,如钨、铂等。在其字线 20a 和位线 30a' 交叉接触处形成一自然肖特基二极管 1nj'。类似地,该存储元也可以使用常规工艺流程来形成。

图 10BC 与图 10BA 相比,其字线和位线加入了至少一层金属材料膜。在此实施例中,位线 30a' 含有: N^- 多晶硅 30a2'、 N^+ 多晶硅 30a5'、金属材料膜 30a4'、 N^+ 多晶硅 30a6'、

N-多晶硅 30a3', 字线 20a 含有: P+多晶硅 20a2、金属材料 20a1、P+多晶硅 20a3。金属材料膜 30a4'、20a1、30a3 能减少地址选择线的串联寄生电阻, 提高读速度。另外, 还可以只有一条地址选择线含有金属材料, 而另一条地址选择线仍旧使用多晶硅(半导体)。

类似地, 图 10BB 中的多晶位线也可以含有金属材料膜 30a3、30a4', 这在图 10BD 中表示。另一种降低地址选择线串联寄生电阻的方法是对图 10BA 或图 10BB 中的多晶地址选择线进行金属离子注入(metal ion implant)。相应地, 地址选择线中含有一定的金属成分, 故能减少地址选择线的串联寄生电阻。这种方法不需要单独的金属层, 可以简化工艺流程。

图 10CA - 图 10CD 是 ISN 3D-MPROM 的一种工艺流程图。该工艺流程与图 9BA - 图 9BD 中的工艺流程极为相似。图 10CA 是在形成位线条并将层内介质平面化后的截面图。图 10CB 是在形成设置介质 23 和对 nF 开口掩膜版进行光刻后的截面图。图 10CC 是在对设置介质 23 进行图形转换并形成字线膜后的截面图。图 10CD 是对字线进行刻蚀并平面化后的 y-z 截面图(图 10CA - 图 10CC 为 x-z 截面图)。ISN 3D-MPROM 的工艺流程很简单。对于图 10BA 和图 10BB 的存储元来说, 其地址选择线只含有一种材料, 故其刻蚀较容易实施。

图 10D 是一层间分离的 SN 3D-MPROM (separate SN 3D-MPROM, 简称为 SSN 3D-MPROM) 的截面图。它含有两个分离的存储层 ML 100 和 ML 200, 它们之间由层间介质 27 隔开。

图 10EA - 图 10ED 表示几种 SSN 3D-MPROM 元的结构图。因为在 SSN 3D-MPROM 中相邻的存储层没有共享字线和位线, 因此其结构较图 10BA - 图 10BD 中的结构简单。图 10EA 表示一在字线 20a 和位线 30b 之间形成的自然 P+/N-/N+ 二极管结 1nj。图 10EB 表示在字线 20a 和位线 30b 之间形成的自然肖特基二极管结 1nj'。图 10EC 与图 10EA 的差别是在其字线和位线中加入了金属材料膜 20a1、30b3。同样地, 也可以只在一条地址选择线(尤其是字线)中加入金属材料膜。图 10ED 与图 10EB 的差别在于位线 30b 中加入了金属材料膜 30b3。这些金属材料膜 20a1、30b3 可以减少地址选择线的寄生串联电阻, 因而提高读速度。另一种降低地址选择线串联寄生电阻的方法是对图 10EA 或图 10EB 中的多晶地址选择线进行金属离子注入(metal ion implant)。

B. 3D-EPROM 元

图 11A - 图 11B 表示两个使用金属-多晶半导体地址选择线的 3D-EPROM 元。它借用了图 10BC - 图 10BD 和图 10EC - 图 10ED 的方案: 在多晶地址选择线中加了金属材料膜 20a1、30c3, 或对它进行金属离子注入(metal ion implant)。这样可以减少地址选择线的寄生串联电阻。在同样编程条件下, 地址选择线中可以导通更大的编程电流, 故编程更为快速可靠。同时, 因为 RC 延迟变短, 读取速度也会变快。反熔丝膜 22af 可以夹在 N+多晶硅 30c2 和 N-多晶硅 30c1 之间(图 11A、图 11B), 也可以夹在图 11A 的 P+多晶硅 20a2 和 N-多晶硅 30c1 之间, 或夹在图 11B 的字线 20a 和 N-多晶硅 30c1 之间。

C. 倒 U 形连接

图 9 - 图 11 中很多地址选择线(如图 10BA - 图 10BD 中的 30a')是复合线。复合线含有一高导电层和一底低掺杂(半导体)层。从其名称可知, 底低掺杂层位于该复合线的底部。对于欲与该复合线相连的通道孔来说, 如其采用常规的、从下方接触的方式(参见图 2A), 则它较难于与底低掺杂层形成欧姆接触。为了实现欧姆接触, 最好利用倒 U 形连接从上方和/或侧面直接对复合线中的高导电层接触。图 12AA - 图 12CB 表示多种倒 U 形连接的结构和工艺流程。

图 12AA - 图 12AB 表示对第一复合线 30 的两种倒 U 形连接。这里, 第一复合线 30 是一两层结构, 它含有一高导电层 30mc 和一位于底部的低掺杂层(底低掺杂层) 30lda。在图 12AA 中, 通道孔 30v 利用第一倒 U 形连接 30uc 从上方对第一复合线 30 实现欧姆接

触。在图 12AB 中, 通道孔 30v 利用第二倒 U 形连接 30bc 从上方和侧面对第一复合线 30 实现欧姆接触。

图 12BA - 图 12BB 表示对第二复合线 30' 的两种倒 U 形连接。第二复合线 30' 是一三层结构, 它还含有一位于顶部的低掺杂层 (顶低掺杂层) 30ldb, 且高导电层 30mc 位于 30lda、30ldb 之间。在图 12BA 中, 通道孔 30v 利用第三倒 U 形连接 30uc' 从上方对第二复合线 30' 实现欧姆接触。在图 12BB 中, 通道孔 30v 利用第四倒 U 形连接 30bc' 从上方和侧面对第二复合线 30' 实现欧姆接触。注意到, 一部分顶低掺杂层 30ldb 被刻蚀掉并暴露了一部分高导电层 30mc。

图 12CA - 图 12CC 表示第一倒 U 形连接 30uc 的一种工艺流程。在通道孔 30v 成形后, 形成复合线 30, 并淀积一层介质 30vd (图 12CA)。这时, 通道孔 30v 和复合线 30 间无接触。在介质 30vd 内形成二开口 30v1、30v2。其中, 开口 30v1 将通道孔 30v 暴露, 开口 30v2 将一部分复合线 30 从上方暴露 (图 12CB)。然后, 在这些开口中填充导体 30uc' (图 12CC)。之后, 再进行一次金属化步骤, 即形成图 12AA 中的结构。

图 12AB 的工艺流程与图 12AA 的工艺流程类似。只是其开口 30v3 还将复合线 30 的侧壁暴露 (图 12CB'), 以便从上面和侧面对复合线 30 进行接触。

图 12BA 和图 12BB 的工艺流程与图 12AA 和图 12AB 的工艺流程类似。只是在形成开口 30v2 时, 最好能将一部分顶低掺杂层 30ldb 刻蚀掉, 并暴露一部分高导电层 30mc。同时, 它还可以采用双重平面化填充 (dual damascene) 等技术。图 12CB' 表示一使用双重平面化填充的倒 U 形连接在导体填充前的截面图。除开口 30v1、30v2 外, 在介质 30vd 中还形成了一沟道 30t。

3. 读写速度

本节以 3D-ROM 为例, 以提高读写速度为目的, 对 3D-M 晶体管层次的设计, 尤其是对 3D-M 核、3DcM (cached 3D-M) 以及编程电路的设计, 做了进一步的完善。为了提高读速度, 从电路的角度, 最好能使用读出放大器和全读模式, 并采取自定时; 从系统的角度, 最好能利用 3DcM 中的 eRAM 来隐藏 3D-M 的首访时间。相应地, 虽然单个 3D-M 元的性能尚难于与常规存储元相比, 然而, 通过系统集成, 其集体性能可以与常规存储器相比, 甚至更好。为了提高写速度, 最好使用平行编程。

A. 3D-M 核

图 13A 表示 3D-M 核 0 的 I/O 端口。3D-M 核包含 3D-M 阵列及其最基本的周边电路。其输入信号包括行地址 AS 2 以及读启动信号 RD 4, 输出信号包括输出数据 DO 8 以及数据就绪信号 RY 6。

图 13B 是一种 3D-ROM 核 0 的基本框图。它含有一个 3D-ROM 阵列 0A、读出放大器 (S/A) 块 18、翻转电压 (V_M) 产生电路块 14、行译码器 12、位线使无效电路块 18'、偏置电路块 16 和地址寄存器 12l。其中, 3D-ROM 单位阵列 0A 含有 N_{WL} 条字线 (20c...) 和 N_{BL} 条位线 (30c...)。在字线和位线交叉处有二极管则表示逻辑 "1", 无二极管则表示逻辑 "0"。这里, 存放有效数据的位线 30a-30d 被称为数据位线。S/A 块 18 将位线上的小模拟信号放大成一逻辑信号 8, 它由 S/A 使能信号 SE 5 控制并只在 SE 5 高时才工作。 V_M 产生电路块 14 产生一翻转电压 V_M 。当 S/A 的偏置电压为 V_M 时, S/A 对输入变化很敏感。行译码器 12 基于输入地址 2l 选择一条字线。当 RY 6 高时, 行译码器 12 和位线使无效电路块 18' 均失效, 即所有的字线和位线都预充/放电至 V_M 。偏置电路块 16 通过一定时信号 TS 8T 产生 SE 5。在读开始时, SE 5 为低, 所有数据 S/A 不工作。当 TS 8T 变高后, SE 5 被置高, 所有数据 S/A 进行取样。该取样过程直到所有输出 8 均变为有效输出为止。然后 RY 6 被送出, 完成一个读周期。3D-ROM 的读时序关系由图 16 描述。

在大部分读周期中, 位线上的电压升幅不足以触发其 S/A。如果这时所有的 S/A 都处于工作状态, 则它们会消耗掉大量电能, 但它们的输出却是无效的。最好这时只留下少量

S/A 处于工作状态, 它们检测其位线上的电压变化。只有当它们发现该电压变化足够大时, 别的 S/A 才被打开并取样。相应地, 大部分 S/A 只在读周期的一小部分时间内工作, 这可以降低能耗。这就是自定时的来历。

图 13C 表示一种自定时的实现方法。在 3D-M 阵列 0A 中增加一第一定时位线 30T。它最好为最远离任何地址解码器 12 的位线并和每条与之相交的字线(20a...)之间有一二极管连接(1aT...)。在读过程中, 其上的电压变化速度最好比最慢的数据“1”位线还要慢。这样, 当第一定时位线 30T 上的电压能触发其 S/A 17T 时, 所有数据“1”位线上的电压都已大到足以能够触发其 S/A 17a-17d 的程度。这时才打开数据 S/A 17a-17d 进行取样。

图 13C 还描述 S/A 块 18、偏置电路块 16、行译码器 12 和位线使无效电路块 18'。

S/A 块 18 含有多个数据 S/A 17a-17d 和第一定时 S/A 17T, 它们分别将数据位线和第一定时位线上的信号放大。S/A (17a...)在与之相连的位线上的电压变化超过其阈值电压 V_T 时, 输出翻转。这里, 数据 S/A 17a-17d 由 SE 5 控制, 它们只在 SE 5 高时取样, 这样可以降低能耗。第一定时 S/A 17T 在读时一直对其位线 30T 上的电压进行监控, 故其偏置信号 5T 在读过程中恒定。

偏置电路块 16 根据第一定时 S/A 17T 的输出 8T 决定 SE 5 的大小。它含有一定时电路 15T 和一偏置产生电路 15B。定时电路 15T 控制时序信号 5d, 偏置产生电路 15B 产生相应的偏置信号 SE 5 和 5T。当 5d 置低时, SE 5 置高。

行译码器 12 含有一个标准行译码器 11C 和多个行译码器使无效电路块 11a-11d。当 RY 6 为高时, 译码器 12 失效, 所有的字线都与 V_M 7 短接。当 RY 6 为低且 20a' 为高时, 字线与 V_R 相接, 即进入读状态。

位线使无效电路块 18' 通过开关 (即晶体管 17a'-17d') 将所有位线与 V_M 7 短接, 这些开关 17a'-17d' 的控制端均与同一信号 RY 6 相连。当 RY 6 为高时, 所有的位线都与 V_M 7 短接。位线使无效电路块 18' 使全读模式得以实现。

以下描述图 13B 和图 13C 中 3D-ROM 核 0 的一种读出流程, 其时序图见图 16。读时最好使用全读模式, 即在一次读时将一条字线上的所有存储元中的数据同时读出。3D-ROM 核 0 最初处于默认状态, 即所有的字线和位线都偏置于 V_M , 且所有的数据 S/A 均不取样。在 RD 4 的上升沿, 寄存器 12i 捕获到 AS 2 (如“00”)并将其送到行译码器 12, 然后与该地址相对应的字线 20a 上的电压升到读电压 V_R 并对每一条与它有二极管连接的位线(30a...)进行充电。此时, 所有的数据 S/A 17a-17d 均不取样, 但第一定时 S/A 17T 一直在监测其位线 30T 上的电压。当该电压变化超过 V_T 时, 输出 8T 变高。相应地, SE 5 被置高, 所有的数据 S/A 17a-17d 开始对它们各自相连的位线电压进行取样。在产生输出 DO-8 后, SE 5 置低, 数据 S/A 17a-17d 被断开; 同时字线 20a 也没有必要再保持在 V_R 。相应地, RY 6 置高, 3D-ROM 核 0 回到默认状态。这样完成一个读周期 T。

图 14A - 图 14G 描述多种 3D-ROM 核使用的各种电路。图 14A - 图 14CC 描述多种差分 S/A。图 14DA - 图 14DD 描述第二定时位线及其一种定时电路 15T。图 14E - 图 14G 描述一种偏置产生电路 15B、行译码使无效电路 11a 和 V_M 产生电路 14。

由于 S/A 要求具有极强的抗干扰性, 最好能使用差分 S/A。差分 S/A 除一个输入为被读位线的电压, 它还需要一参考电压。该参考电压可以通过一哑位线来提供。图 14A 表示两条被读位线(30a、30z)、一哑位线 30D 以及它们与差分 S/A (17a、17z)之间的连接。哑位线 30D 可以被多个 S/A 共享, 在与其相交的每条字线处都有一二极管 1aD。在读操作中, 哑位线 30D 上的电压最好介于数据“1”位线电压和数据“0”位线电压之间。

图 14BA 是第一差分 S/A 核 17C 的电路图。它使用 NMOS 对 51a、51b 作为输入晶体管, 以及镜像对称的 PMOS 对 51d、51e 作为负载。其电源电压为 $V_{S/A}$ 和 GND。注意到, $V_{S/A}$ 可能不同于芯片电源电压。偏置信号 B 通过 NMOS 51c 来控制尾电流。图 14BB 表示一使用第一差分 S/A 核 17C 的数据 S/A。它还含有一由 NMOS 51g 和反相器 51h 构成的锁存器 17L。在锁存信号 5' 的控制下, NMOS 51g 在 SE 5 变高时关闭, 但先于 SE 5 变低

时打开。这样,即使 S/A 核 17C 不取样,输出 8a 仍保持不变。图 14BC 表示一使用第一差分 S/A 核 17C 的第一定时 S/A。该定时 S/A 始终取样。反相器 51i、51j 组成一锁存器 17TL, 51l、51m 对波形进行调整。在每次读周期开始时, NMOS 51k 在 RD 4 控制下, 将锁存器 17TL 清零(平衡化)。

图 14CA 是第二差分 S/A 核 17C' 的电路图。与图 14BA 相比,它使用交叉耦合的 PMOS 对 52d、52e 作为负载。偏置信号 B 通过 NMOS 52c 来控制尾电流。当 B 低的时候, S/A 核的输出 o+, o- 保持其在 B 变低前的水平, 故该 S/A 核是一锁存器。图 14CB 表示另一使用第二差分 S/A 核 17C' 的数据 S/A。反相器 52f 用来调整波形。图 14CC 表示另一使用第二差分 S/A 核 17C' 的第一定时 S/A。该定时 S/A 始终取样。在每次读周期开始时, NMOS 52g 在 RD 4 控制下, 将差分 S/A 核 17C' 清零(平衡化)。

图 14DA - 图 14DD 表示多种定时电路 15T 的设计。定时电路 15T 与偏置产生电路 15B 结合, 可以控制数据 S/A 的偏置电压 SE 5。当 8T 变高后, 它抬高 SE 5 并让所有的数据 S/A 开始取样; 经过一段延迟, 即所有数据 S/A 均已得到有效输出后, 它切断 SE 5, 进而结束数据 S/A 的取样。为了实现该延迟, 图 14DA 的实施例在 3D-M 阵列中增加了一第二定时位线 30T', 其 S/A 17T' 控制延迟的大小。这里, 第二定时位线 30T' 在所有与它相交的字线处均有一二极管 1aT', 但其 S/A 17T' 较一般的数据 S/A 慢。当其输出 8T' 翻转时, 所有的数据 S/A 的输出应已就绪, 故可以结束数据 S/A 的取样。很明显, 这也能降低能耗。注意到, 第一定时位线 30T 控制数据 S/A 取样的开始, 第二定时位线 30T' 控制数据 S/A 取样的结束。图 14DB 表示一种第二定时位线 30T' 使用的 S/A 17T' 的电路图。与一般数据 S/A (图 14BA) 相比, 其输出端 o 可以有一多余负载电容 51c, 也可以是其输入或负载晶体管 51a'、51b'、51d'、51e' 的沟道较长, 等等。这样, 该 S/A 17T' 较一般的数据 S/A 慢。

图 14DC 是一种定时电路 15T 的电路图。第二定时位线 30T' 的输出 8T' 可直接用作 RY 6, 它与第一定时位线 30T 的输出 8T 结合, 产生偏置控制信号 5d, 然后 5d 通过偏置产生电路 15B 控制 SE 5 (参见图 14E)。图 14DD 是另一种定时电路 15T 的电路图。与图 14DC 相比较, 它有一为外界电路(如在 3D-M 中但在 3D-M 外的电路)提供的状态控制信号 6E。当 6E 为高时, 3D-M 进入默认状态(所有字线和位线接 V_M), 不能进行任何操作。这时, 3D-M 处于“软断电”状态。在“软断电”时, 3D-M 不消耗电能; 但一旦 6E 被置低后, 3D-M 能快速进入工作状态。与“硬断电”(即所有字线和位线接地)相比, 3D-M 能更快地“苏醒”, 即恢复工作的速度更快。该设计可以用在多种应用中, 如字线冗余电路和机动码电路(在该 3D-M 被读字线为缺陷位线或需要被升级替换时), 或基于三维存储器的集成电路测试(在被测试电路正常工作时)。

图 14E 是一偏置产生电路 15B。电流源 53a 可以是片内电流源或片外电流源。偏置电压 5T 由一采取二极管连接的 NMOS 53b 产生。当 5d 为低时, 5T 被传递至 SE 5。当 5d 为高时, SE 5 接地。

图 14F 是一行译码器使无效电路 11a。当 RY 6 高时, NMOS 54b 被接通, 字线 20a 与 V_M 7 短接。当 20a' 高且 RY 6 为低时, PMOS 54c 被接通, 字线 20a 与读电压 V_R 短接。注意到, V_R 可能不同于芯片的电源电压 V_{dd} (参见图 19CA)。

图 14G 是一 V_M 产生电路 14。它使用与 S/A 相同的 S/A 核 55a, 并含有一稳压器(含运放器 55b 和驱动 NMOS 55c)。S/A 核的所有输入输出被短接, 从而产生翻转电压 V_M 7'。一般说来, $V_M \sim V_{S/A}/2$ 。稳压器使 V_M 产生电路 14 的输出保持在 V_M , 并提供足够大的电流, 故 V_M 7 是一稳压直流电源。

图 15AA - 图 15AD 描述位线电压的时序特性。如图 15AA 所述, 当字线 20y 上的电压被升至 V_R 后, 字线 20y 开始通过二极管 1yj 对位线 30j 充电。位线 30j 上的电压从其初始值(V_M)升高, 其升高的速度由二极管电流对位线 30j 的寄生电容充电的速率来决定。一般说来, 位线寄生电容 1jC 包括: 字线 20x 和位线 30j 的耦合电容 1j0 (对应于“0”存储元)、反向偏置的二极管 1zj 的结电容 1j2 (对应于“1”存储元)、与相邻位线 30i 和 30k

之间的耦合电容 $1j3$ 和 $1j4$ 、与别的互连线层之间的耦合电容 $1j1$ 。位线 $30j$ 上的电压在读过程中高于 V_M ，而除被读字线 $20y$ 外的别的字线 $20x$ 、 $20z$ 均处于 V_M ，故有漏电流通过二极管 $1zj$ 从位线 $30j$ 流到别的字线 $20z$ 上。该漏电流对位线 $30j$ 产生的放电效果与字线 $20y$ 产生的充电效果相反。

图 15AB 是一用来模拟位线电压时序特性的等效电路。字线 $30j$ 上的电压变化 ΔV_b 由三个因素决定：二极管 $1yj$ 、寄生电容 $1jC$ 和等效二极管 $1jD$ 。等效二极管 $1jD$ 是由 n 个二极管并联组成。这里， n 是所有与位线 $30j$ 相连、并处于反向偏置的二极管的数目。在最坏的读模式下， n 等于 $N_{WL}-1$ 。当二极管 $1yj$ 的正向电流等于等效二极管 $1jD$ 的反向电流时， ΔV_b 达到静态平衡电压 ΔV_{be} 。

图 15AC 表示二极管 $1yj$ 的电流电压 (IV) 特性。其正向电流 $I_f(V)$ 大于其反向电流 $I_r(V)$ 。可以用图像法来找到最坏读模式下的静态平衡电压 ΔV_{be} 。首先将反向 IV 曲线乘以 $N_{WL}-1$ ，然后将它向右移 V_R-V_M 。这样得到的曲线 $1rs$ 与 $1f$ 的交点即为最坏读模式下的静态平衡电势 ΔV_{be} 。写成方程的形式：

$$I_f(V_R-V_M-\Delta V_{be}) = (N_{WL}-1) \times I_r(\Delta V_{be}) \approx N_{WL} \times I_r(\Delta V_{be}) \quad \text{eq. (1)}$$

图 15AD 是该位线电势的时序图。位线电势升值 ΔV_b 最终达到其静态平衡电压 ΔV_{be} 。在时刻 τ ， ΔV_b 超过 V_T ，S/A 的输出成为有效输出，故 τ 为首访时间。对位线 $30j$ 来说，

$$\tau_{30j} \sim V_T \times C_{30j} / I_f \quad \text{eq. (2)}$$

根据图 13C 和图 14A，第一定时位线和哑位线的时序特性与数据位线不同。相应地，它们的设计最好与数据位线不同。图 15BA - 图 15CC 解释并提供了几种设计。图 15BA 表示一数据位线 $30a$ 和一参考位线 $30r$ 。参考位线 $30r$ 可以是一第一定时位线或哑位线。在读过程中，参考位线 $30r$ 上的电压变化 ΔV_{30r} 最好应慢于数据“1”位线 $30a$ 上的电压变化 ΔV_{30a} 。对于哑位线来说，最好 $\Delta V_{30r} \sim \Delta V_{30a} / 2$ (图 15BB)。根据 eq. (2)，可以通过增加参考位线 $30r$ 上的寄生电容 $1rC$ 来达到该目的。图 15CA - 图 15CC 表示了几种实现方法。

图 15CA 表示第一参考位线 $30r$ 。它比数据位线 $30a$ 要宽，因此它有较强的寄生电容。图 15CB 表示第二参考位线 $30r$ 。它包括两条相连的次位线 $30r1$ 和 $30r2$ 。它们和一般的数据位线 $30a$ 有相同宽度。次位线 $30r1$ 与每条和它相交的字线有二极管连接，而次位线 $30r2$ 没有和任何字线有二极管连接。相应地，参考位线 $30r$ 上的寄生电容较大，电压上升速率较慢。注意到，次位线 $30r2$ 的长度可以通过版图设计来调节。图 15CC 表示第三参考位线 $30r$ ，它与一物理电容 $1r0$ 相连。物理电容 $1r0$ 可以是 MOS 电容 (包括 S/A 的输入电容)、金属电容或别的常规电容。这些电容也能延迟首访时间 τ 。

图 15D 表示在一 3D-M 阵列中数据位线、哑位线和定时位线的设计。在该实施例中有两个位线组 D1、D2，每个位线组中的所有数据位线共用一条哑位线 $30D$ 。该哑位线 $30D$ 含有两条次位线 $30D1$ 、 $30D2$ 。在 3D-M 阵列中还有第一定时位线 $30T$ 和作为它参考位线的哑定时位线 $30TD$ 。第一定时位线 $30T$ 含有两条次位线 $30T1$ 、 $30T2$ ，哑定时位线 $30TD$ 含有 4 条次位线 $30TD1$ - $30TD4$ 。该实施例还含有第二定时位线 $30T'$ ，它只含一条次位线，但其 S/A $17T'$ 较慢。很明显，哑位线 $30D$ 和第一定时位线 $30T$ 上的电压变化慢于数据位线 $30a$ ，哑定时位线 $30TD$ 上的电压变化更慢。

实际上，哑位线 $30D$ 和第一定时位线 $30T$ 可以采用一些简单设计。因为哑位线 $30D$ 需要带动大量的数据 S/A，这些数据 S/A 的输入电容使哑位线上的电压变化变慢很多，故哑位线 $30D$ 可只使用一条次位线。另一方面，第一定时位线 $30T$ 也可只含有一条次位线。这时，其 S/A 最好较慢，但应快于第二定时位线 $30T'$ 的 S/A。

图 16 是一 3D-ROM 核 0 中各种信号的时序图。在时刻 τ_{30a} ，数据位线 $30a$ 上的电压已超过其 S/A $17a$ 的 V_T 。但因为这时 S/A 未打开，故并无有效数据输出。在时刻 $t1$ ，第一定时位线 $30T$ 触发其 S/A $17T$ ，这表示所有的数据 S/A 可开始取样。这时，SE 5 被送出，所有的数据 S/A 开始工作。在时刻 τ ，第二定时位线 $30T'$ 触发其 S/A $17T'$ 时，这表示所有的数据 S/A 均完成取样。所有的数据 S/A 被断开。这样完成一个读周期。

Eq. (2)和图 15AA 为 3DROM 提供了设计方向。为了缩短首访时间,最好能减少位线的寄生电容 $1jC$ 。由于位线寄生电容的很大一部分来自于位线边壁之间的耦合电容 $1j3$ 、 $1j4$, 3D-ROM 最好能使用较薄的位线。虽然较薄的位线会有较大的串联电阻,但由于决定首访时间的主要电阻来自 3D-ROM 膜,故使用较薄位线引起的电阻增加并不会对首访时间有太多影响。另外,在全读模式时,字线要为所有位线提供读电流,其电流一般较大。为了减少寄生电压降和克服电迁移(electro-migration)等问题,3D-ROM 最好能使用较厚的字线。图 2A 表示一种使用较厚字线和较薄位线的 3D-ROM 结构。

B. 带数据缓冲区的 3D-M (3DcM)

单个 3D-M 元的性能尚难于与常规存储元相比。通过系统集成,3D-M 的潜能才能被完全开发出来。从集体性能来说,3D-M 可以与常规存储器相比,甚至更好。Cached 3D-M (简称为 3DcM)是 3DiM 的一个典型例子。它含有一 3D-M 和与之集成的 eRAM,并通过隐藏 3D-M 的首访时间来提高其读取速度。对外部电路来说,3DcM 可被视为一单独存储器:eRAM 形成在衬底里,3D-M 堆叠在 eRAM 之上,且 eRAM 中保留了 3D-M 数据的一个备份。当系统从 3DcM 中寻找数据时,它先从 eRAM 中寻找,如“命中”,则直接从 eRAM 中读;如“未命中”,则要从 3D-M 中读数据,且将一个备份存放在 eRAM 中。相应地,eRAM 是 3D-M 的 cache。如“命中”,3DcM 的首访时间就是 eRAM 的首访时间,外界无法察觉 3D-M 的首访时间;如“未命中”,3DcM 的首访时间与 3D-M 相近。如果 eRAM 容量足够大,命中的几率较大,这样可以减少平均首访时间。3DcM 的带宽一般由 eRAM 控制。

3DcM 的读操作与计算机中高速缓冲存储器的操作类似。图 17A - 图 17G 对 3DcM 的细节,尤其是其内部数据流,做了更详细的描述。图 17A 表示一种 3DcM 0C 的 I/O 端口,它包括输入地址 AS 73、3DcM 读启动信号 cRD 75、3DcM 数据就绪信号 cRY 77、时钟信号 CK 71 和数据输出 DO 79。

图 17B 是一种 3DcM 0C 的框图。它含有 3D-M 核 0、列译码器 70、eRAM 72、控制电路块 74 和读出选择块 76。在此特例中,3D-M 核 0 的大小是 1024×1024 。在读操作时,根据行地址 2 (AS 73 的前 10 位[13:4])从 3D-M 阵列中选择一页数据(1024 位)并将它送到输出 8。这里,一页 3D-M 数据是指 3D-M 阵列中一条字线上的所有数据。列译码器 70 再根据列地址 2c (AS 73 的末 4 位[3:0])从该输出页(1024 位)中选中的一个字(64 位)。选中的字和与之对应的地址被复制到 eRAM 72 中。控制电路块 74 控制 3D-M 核 0 到 eRAM 72 之间的数据流动。熟悉本技术的人士可以很容易地根据图 17D 的数据流程设计出控制电路块 74。读出选择块 76 决定输出数据 79 是来自列译码器 70 或来自 eRAM 72。

图 17C 表示一种 eRAM 72。它含有一读写使能端 R/W 74r 和命中/未命中输出端 H/M 72h。它还含有 eRAM 数据块 72D 和一 eRAM 标签块 72T。eRAM 数据块 72D 储存 3D-M 数据,eRAM 标签块 72T 的每行存储与它对应的 eRAM 数据行中数据的地址标签。在该实施例中,eRAM 数据块 72D 的大小是 64×64 ,eRAM 标签块 72T 的大小是 8×64 。AS 73 [13:6]的前 8 位 2a 存储在 eRAM 标签块 72T 中,AS 73 [5:0]的后 6 位被用作 eRAM 72 的列地址 2b。该 eRAM 72 还有一比较器 72C。在读操作时,它将 eRAM 标签块 72T 中的地址标签 72to 与地址 2a 比较。如果它们相同,即命中,则输出 72h 为高;否则,72h 为低。

图 17D 描述 3DcM 的一种读操作。首先,在接受到 cRD 75 后,AS 73 被送到 eRAM 72,eRAM 72 进入读模式(步骤 91)。然后,根据 H/M 信号 72h 进行不同操作(步骤 92):如命中,则直接将 eRAM 72 中读出的数据 79a 送到输出 79(步骤 97),并送出 cRY 79(步骤 98);如未命中,则需要从 3D-M 核 0 中读数据。这包含如下步骤:首先,送出 RD 4 信号(步骤 93);然后从 3D-M 中读出一页数据,并送出 RY 6(步骤 94);这时,eRAM 72 进入写模式,列译码器 70 选中的一个字 79a 及其地址 2b 被存入 eRAM 72(步骤 95);最后,将数据 79a 或 79b 送到输出 79(步骤 96),再送出 cRY 79(步骤 98)。

在步骤 96 时, 数据可以在 3D-M 数据被传送到 eRAM 72 时直接在列译码器处读出。这种方法的首访时间要短一些。图 17EA 表示一种相应的数据选择器 76。它使用一多路选择器 76M。根据其控制信号 79s 的大小 (一般由 H/M 信号 72h 决定), 多路选择器 76M 决定输出 79 采用来自列译码器 70 的数据 79a (未命中情形) 或来自 eRAM 72 的数据 79b (命中情形)。

另外, 即使是未命中, 也可以在 3D-M 数据复制到 eRAM 后从 eRAM 72 中读出数据。这种方法较易满足冗余电路和软件升级的要求。图 17EB 表示一种读流程, 该读流程是图 17D 中步骤 96 的一部分。在 3D-M 数据被下载到 eRAM 72 后, 重复 eRAM 的读操作 (包括图 17D 的步骤 91、92、97 等)。具体说来, 在步骤 95 完成后, AS 73 被再次送至 eRAM 72, 并读数 (步骤 96a)。因为这次肯定会“命中”, 即 H/M 信号 72h 肯定为高 (步骤 96b), eRAM 的读出数据 79b 被直接送至输出 79 (步骤 96c)。图 17EC 表示该方法使用的一种数据选择器 76。因所有的输出数据均来自 eRAM 72, 该数据选择器只是一简单的传输门 76T, 它决定是否将 eRAM 72 数据 79b 输出。

图 17B-图 17EC 的实施例基于“字复制”, 即输出页 (1024 位) 中可能只有一个字 (64 位) 被复制至 eRAM 72 中 (别的字可能都被浪费了)。为了充分利用每次读出的数据, 最好使用“页复制”, 即输出页上的所有字被全部复制至 eRAM 72 中。“页复制”能提高读效率。图 17F 表示一种使用“页复制”的 3DcM。与图 17B 不同的是, 其列地址 2c' 不是 AS 73 的末 4 位, 而是由控制电路块 74' 内部产生的。对于熟悉本专业的人士, 可以很容易地根据图 17D 和图 17G 的读流程设计出控制电路块 74'。图 17G 表示一种列地址产生流程, 它是图 17D 中步骤 95 的一部分。在步骤 94 后, 在 74' 的控制下, 依次产生输出页上的所有字的地址 (步骤 95a), 然后, 被选中的字及其地址被复制至 eRAM 72 (步骤 95b)。重复步骤 95a、95b 直到 2c' 达到其预设最大值 (步骤 95c)。这样, 输出页被全部复制至 eRAM 72 中。图 17H 表示一种“页复制”中使用的 eRAM 72。在该实施例中, eRAM 数据块 72D 的大小仍为 64x64, 但它被分为 4 个 eRAM 扇区。每个 eRAM 扇区的大小为 64x16, 并存储一个输出页中的所有数据 (1024 位)。每个扇区使用一地址标签行。相应地, eRAM 标签块 72T 的大小可以为 8x4。

C. 编程速度

3D-EPROM 的用户可以编程。为了缩短芯片编程时间, 最好多个存储元能被同时编程。这即是平行编程的概念。图 18A 表示平行编程的一种实施方法。在此特例中, 3D-EPROM 元 1cb 和 1cc 同时被编程。在编程时, 字线 20c 上的电压升至 V_{pp} , 位线 30b、30c 上的电压降为 0, 而所有别的地址选择线的电压均为 $V_{pp}/2$ 。因此, 加在存储元 1cb、1cc 上的电压是 V_{pp} , 故它们被同时编程。为了将至少两条位线上的电压降为 0, 列译码器最好是平行列译码 (图 18B)。它使用了两个次译码器 70a、70b。这些次译码器 70a、70b 具有相同的列地址 2C。它们可以是相邻的, 也可以是相互交叉的。在此实施例中, 它们是镜像对称的。列地址 2C (如“1”) 被同时送到该次译码器 70a、70b 中, 这将位线 30b、30c 上的电压降为 0, 从而能满足图 18A 的电压要求。

为了减少封装脚的数目, 美国专利 6,385,074 建议使用一片内 V_{pp} 产生器。该片内 V_{pp} 产生器利用芯片电源电压 V_{dd} 产生 V_{pp} 。这种设计对于经常需要编程的 3D-M 来说是必要的。但对于“一次性”编程的 3D-M 来说, 它们不需要经常编程; 尤其对于作为资料载体的 3D-EPROM (如图 3 中的 PonC) 来说, 它们一般在工厂里面编程 (如由资料发行商)。在使用时, 用户只读, 而不编程。对这些应用来说, V_{pp} 产生器没有必要, 其节省的芯片面积可以用来设计别的功能。图 18C 描述一种具有 V_{pp} 接线垫 12P、70P 的 3D-M。这些接线垫提供外界编程电压。对于工厂编程。作为资料载体的 3D-EPROM 来说, 其编程一般是芯片层次编程, 故这些接线垫不需要和封装引线相连。这能减少封装脚的数目。

工厂编程的 3D-EPROM 可采用因特网的商业模式, 即利用因特网来传输用户所希望写入芯片的数据。同时, 工厂 (如资料发行商) 还可以拥有多个数据库, 这些数据库存有

多个文件。用户只需在工厂网页上点击所需文件的指针(pointer), 工厂就能将所需文件从数据库中提出, 并写入 3D-EPROM 中(参见由同一发明人提交的 PCT 申请“低成本光刻技术”的图 8AA 和图 39A, 为简便计, 本说明书中未画出这些图, 只需将这些图中的光刻编程系统换成电编程系统即可)。

4. 单位阵列的容量

如图 19AA - 图 19AB 所示, 单位阵列的容量对 3D-M 的可集成性有极大影响。对于大的单位阵列, 3D-M 芯片可以只含有少量的单位阵列 0A (图 19AA)。另一方面, 对于小的单位阵列, 3D-M 芯片需含有较大数量的单位阵列 0Aa-0Ai (图 19AB), 因为单位阵列的周边电路位于衬底里, 较大数量的单位阵列意味着衬底被严重地支离了。这种支离的衬底会使衬底集成电路的版图设计受到极大限制。另外, 较大数目的单位阵列会使阵列效率变低。为了提高 3D-M 的可集成性, 最好能使用具有大容量的单位阵列。

3D-M 单位阵列的容量 C_A 等于其字线数目 N_{WL} 与位线数目 N_{BL} 之乘积 (图 13B、图 19B), 因此可以通过分别提高 N_{WL} 和 N_{BL} 来提高 C_A 。从设计的角度来说, N_{BL} 一般无限制, 因此可以采用矩形的单位阵列。另一方面, 根据 eq. (1) 并令 $\Delta V_{bc} = nV_T$ (一般说来, $n \sim 2$, $V_T \sim 0.1V$), N_{WL} 可以表示如下,

$$N_{WL} = I_R(V_0)/I_R(V_r) = I_R(V_R - V_M - nV_T)/I_R(nV_T) \quad \text{eq. (3)}$$

N_{WL} 受限于读时存储元的正反电流比 γ 。这里, γ 的定义与常规定义不同: 其正向偏置电压 V_f (如 $\sim 3V$) 可远大于反向偏置电压 V_r (如 $\sim 0.3V$)。这得力于 S/A 等的应用。Eq. (3) 对 3D-ROM 的设计极有价值。很明显, 可以通过增加 V_R 来提高 N_{WL} 。另一方面, 可以通过使用二极化元来提高 N_{WL} 。所谓二极化元, 是指流过它一个方向上的电流和相反方向上的电流所遇到的阻抗极不相同。

图 19B 表示一种矩形 3D-M 阵列。在此实施例中, $N_{BL} > N_{WL}$ 。在该芯片中可沿 y 方向放置数个这种 3D-M 阵列。这样, 芯片的最后形状可以大致保持正方形。

图 19CA 描述一种利用大 V_R 来提高 N_{WL} 的方法。这里, V_R 大于电源电压 V_{dd} 。由于 3D-ROM 膜的 IV 特性一般是指数型的, 故其读电流 $I_1(V_R)$ 远远大于 V_{dd} 时的电流 I_2 。因此, N_{WL} 以及 C_A 可以增加很多。图 19CB、图 19CC 表示一种 V_R 的产生方法。图 19CB 是其电路框图。 V_R 产生器 12R 为行译码器 12 产生读电压 V_R 。它一般采用电荷泵 (charge-pump) 等设计。图 19CC 是一种含有 V_R 产生器 12R 的衬底版图设计。这里, 三维集成使 V_R 产生器 12R 可以位于衬底 0s 中, 尤其是能位于 3D-M 阵列 0A 下方。

除了使用大 V_R 外, 还可以使用二极化元来提高 C_A 。二极化元可以含有二极化膜和/或二极化结构。二极化膜是通过材料的不同来产生二极化效应 (图 19D - 图 19EC); 二极化结构通过界面的不同来产生二极化效应 (图 19F - 图 19GC)。

图 19D 解释二极化膜的概念。二极化膜 38 含有至少二层次膜 38a、38b。它们的材料最好有较大的差别。当电流沿着方向 37a 流过二极化膜 38 (即从端口 39a 到端口 39b), 它首先遇到次膜 38a, 然后遇到次膜 38b; 另一方面, 当它沿方向 37b (即从端口 39b 到端口 39a) 流动时, 它先遇到次膜 38b, 然后再遇到次膜 38a。这种遇到次膜 38a、38b 的顺序能够极大地影响到电流的大小。一个很熟悉的例子即 p-n 结二极管, 它通过使用不同的掺杂类型来导致二极管现象的发生。二极化膜 38 比二极管走得更远: 除了掺杂类型外, 它们的基材料不同。这里, 一层膜的基材料是构成这层膜的主要材料。图 19EA - 图 19EC 表示了几种二极化膜的实施例。

图 19EA 表示第一种二极化 3D-ROM 膜。它含有两层次膜 32a、32b, 它们分别使用不同的基材料, 如次膜 32a 的基材料是硅, 次膜 32b 的基材料是碳硅合金 ($Si_y C_{1-y}$, $0 < y < 1$)。其它半导体材料, 如锗、锗硅合金 ($Si_z Ge_{1-z}$, $0 < z < 1$)、金钢石也可用作基材料。除了半导体材料外, 二极化膜 38 可以包括: 半导体材料和介质材料的复合膜 (譬如说, 次膜 32a 含一半导体材料, 次膜 32b 含一半介质材料); 不同的介质材料 (譬如说, 次膜 32a 含非晶

硅；而次膜 32b 含氮化硅）；不同结构的基材料（譬如说，次膜 32a 具有非晶结构，次膜 32b 具有多晶或微晶结构，这在图 19EB 中也有表示）；不同的电极材料（譬如说，使用具有不同功函数的金属；或与 3D-ROM 膜有不同界面特性的金属；或一个电极使用金属，另一电极使用掺杂的半导体材料）。这些方法可以提高 3D-ROM 元的正反电流比。

图 19EB 表示第二种二极化的 3D-ROM 膜。在此特例中，在电极 31 和 3D-ROM 膜 32a 之间有一层微晶材料 32au。如果只在一个电极界面（如电极 31 和 3D-ROM 膜 32 的界面）有微晶膜，则 3D-ROM 膜的二极化被强化，这样能得到一个较大的正反电流比；另一方面，微晶材料可以降低金属-半导体的接触电阻，在至少一个电极界面（如电极 31 和 3D-ROM 膜 32 的界面；和/或电极 33 和 3D-ROM 膜 32 的界面）增加微晶材料可以加强导通电流，缩短 3D-ROM 的首访时间。

图 19EC 表示第三种二极化的 3D-ROM 膜。在此实施例中，3D-ROM 膜 32 含有一 p^+ 膜 32p、 v 膜 32x 和 n^+ 膜 32n。 v 膜 32x 是 n 低掺杂或不掺杂的，且这些膜基于非晶硅。这些膜的淀积顺序为 32n、32x、32p。这种结构可以得到 $>10A/cm^2$ 的正向电流和 $<6 \times 10^{-5}A/cm^2$ 的反向电流。

图 19F 解释二极化结构的概念。3D-ROM 膜 32 与顶电极 31 之间的界面为顶界面 32ti，与底电极 33 之间的界面为底界面 32bi。在一二极化结构中，这些界面的形状不同：最好一个界面具有一强化场的尖端 33ti，而另一界面较平滑。相应地，电子发射在一个方向得到加强，从而提高正反比。

图 19G 为一二极化结构的实施例。在此实施例中，底电极 33 具有多晶结构，其表面 32bi 比较粗糙；当 3D-ROM 膜 32 淀积在底电极 33 上之后，其中的非晶材料使它和顶电极 31 之间的界面 32ti 变得较为平滑。因此，从底电极 33 到顶电极 31 的电子发射得到增强，即从顶电极 31 流到底电极 33 的电流变得较相反方向上的电流大。因此，可以将顶电极 31 用作字线，将底电极 33 用作位线。

5. 提高成品率的方法

缺陷会导致各种形式的读错误并降低成品率。如图 20AA-图 20CB 所示，3D-M 阵列有六种缺陷，包括：1. 字线断路 20o（图 20AA）、2. 字线短路 20s（图 20AB）、3. 位线断路 30o（图 20BA）、4. 位线短路 30s（图 20BB）、5. 过小的 3D-ROM 元正向电流（图 20CA）、6. 过大的 3D-ROM 元反向电流（图 20CB）。

对字线缺陷 1 和 2，整条字线不能读出正确数据，这导致字线错误。对位线缺陷 3 和 4，整条位线不能读出正确数据，这导致位线错误。3D-ROM 缺陷元 5 的正向电流 I_f 太小，导致 ΔV_{be} 过低，使 S/A 不能够被触发，从而一个逻辑“1”元被误读成逻辑“0”（图 20CA）。所幸的是，该缺陷只会导致个别位错误。3D-ROM 缺陷元 6 的反向漏电流太大，当读取与该缺陷元处于同一条位线上的其它存储元时，它会限制 ΔV_{be} ，使 S/A 不能被触发，从而不能读出有效数据（图 20CB）。这种缺陷会导致位线错误。缺陷 5 和 6，尤其是 6，对 3D-M 阵列的本征成品率影响很大。

为提高成品率，可使用无缝 3D-ROM 元，它直接减少 3D-ROM 阵列中的缺陷数目（图 21A-图 23B）。另外，也可以使用多种纠错方案，如纠错码(ECC)、冗余电路等，纠错方案纠正 3D-M 阵列中已有缺陷导致的错误（图 24-图 26C）。

A. 无缝 3D-ROM 元

3D-M 阵列中的缺陷可能在工艺流程的几个阶段引入，即在 3D-ROM 膜形成之前（如对底电极顶部），在 3D-ROM 膜形成中（对 3D-ROM 膜），在 3D-ROM 膜形成之后（如对 3D-ROM 膜顶部）。这些膜（即 3D-ROM 膜以及至少与之相邻的部分底电极和部分顶电极）的清洁度对 3D-ROM 的成品率影响极大，故它们被称为缺陷敏感膜。一个常见的、易于引入缺陷的工艺步骤是图形转换。在图形转换过程中，硅片要经过光刻和蚀刻（或平

面化)等步骤。所有这些步骤会引入外界有害杂质或损伤 3D-ROM 膜。因此,在缺陷敏感膜的形成过程中应避免图形转换步骤。

为了提高 3D-M 的本征成品率,本发明提出一无缝 3D-ROM 元。图 21A 表示一种无缝 3D-ROM 元。它含有底电极 64、3D-ROM 膜 62、顶缓冲膜 60 以及顶电极 66。顶电极 66 含有顶缓冲膜 60 和顶导体 65,它们通过通道孔(开口)67 相连。顶缓冲膜 60 和 3D-ROM 膜 62 之间的界面为顶界面 62ti,3D-ROM 膜 62 和底电极 64 之间的界面为底界面 62bi。在无缝 3D-ROM 中,至少一部分顶缓冲膜 60 与至少一部分 3D-ROM 膜 62 具有相同的截面。在其工艺流程(图 22AA-图 22E')中,3D-ROM 膜以及至少与之相邻的部分底电极和部分顶电极是以一种无缝的形式形成的:在这些工艺步骤之间没有图形转换,故不会对顶界面 62ti 和底界面 62bi 引入杂质。该工艺流程最好能在一集束设备(cluster tool)中进行。图 21B 表示另一种无缝 3D-ROM 元。其开口 67 在形成过程中使用了 nF 开口掩模版,故其大小比顶缓冲膜 60 的边长长。

图 22AA-图 22E'表示无缝 3D-ROM 元采用的多种工艺流程。在图 22AA 中,所有缺陷敏感膜,包括底电极 64、3D-ROM 膜 62 以及一部分顶电极(即顶缓冲膜 60)是以一种无缝的形式形成的。因此,顶界面 62ti 和底界面 62bi 的缺陷很少。另外,在 3D-ROM 膜 62 和顶缓冲膜 60 之间还可以有一层抗蚀膜(etchstop layer)60b(图 22AB),其功能在图 22BC 中描述。所有这些膜(64、62、60b、60)都可以用无缝的形式形成。

然后,对顶缓冲膜 60 进行图形转换。图 22BA-图 22BC 表示几个在该步骤后的 3D-ROM 结构。在图 22BA 中,一部分底电极 64 被暴露。在图 22BB 中,一部分 3D-ROM 膜 62 被暴露。图 22BC 是图 22AB 中的结构在该步骤后的截面图。抗蚀膜 60b 处可以保护 3D-ROM 膜 62,并使之在该步骤时不被刻蚀。

在顶缓冲膜 60 成形之后,最好还要一个修复 3D-ROM 膜 62 边缘的步骤(图 22CA-图 22CC)。该步骤类似于常规 MOS 工艺的栅后氧化步骤(post-gate-oxidation)。图 22CA 是图 22BA 中的结构在该步骤后的截面图,一部分底电极 64 通过氧化等方法转换成介质 68d。图 22CB 是图 22BB 中的结构在该步骤后的截面图,至少一部分 3D-ROM 膜 62 通过氧化等方法转换成介质 68d。图 22CC 是图 22BC 中的结构在该步骤后的截面图,至少一部分抗蚀膜 60b 通过氧化等方法转换成介质 68d。

接着,对底电极 64 进行图形转换,形成 3D-ROM 堆 69(图 22D)。然后淀积低层间介质 68,打开通道孔(开口)67,并形成顶导体 65(图 22E)。

图 22D'、图 22E'表示为形成图 21B 中无缝 3D-ROM 元所需的额外步骤。在形成 3D-ROM 堆 69 后,淀积低层介质 68 并对其作平面化。之后,在该结构上形成设置介质 23(图 22D')。低层介质 68 和设置介质 23 最好含不同介质,如低层介质 68 为氧化硅,设置介质 23 为氮化硅。接着,对 nF 开口掩模版曝光。然后通过一刻蚀步骤在设置介质 23 内形成开口 67。刻蚀时,可以选择其处方使它在低层介质 68 上停止。最后,填充导体材料以形成顶导体 65(图 22E')。

图 23A 和图 23B 描述两种准无缝 3D-EPROM 元。这些准无缝 3D-EPROM 元中的一部分膜(如准导通膜 62a)是以无缝形式形成的;而另一部分膜(如反熔丝膜 62b)则是以常规方式形成。在图 23A 中,准导通膜 62a 位于顶缓冲膜 60 和底电极 64 之间,它是以一种无缝形式形成的;而反熔丝膜 62b 介于通道孔塞 63 和顶电极 65 之间,它是以常规方法形成的。在图 23B 中,准导通膜 62a 是以一种无缝形式形成的;反熔丝膜 62b 介于顶缓冲膜 60 和顶电极 65 之间,它是以常规方法形成的。在这两个特例中,准导通膜的缺陷极少。注意到,准导通膜和反熔丝膜的位置可以互换。

B. 纠错方案

为提高 3D-M 的成品率,还可以使用纠错方案,包括纠错码(ECC)和/或冗余电路等。图 24 表示一带 ECC 的 3D-M。该 3D-M 包括一具有 ECC 码的 3D-M 核 0、列译码器 70 和 ECC 电路 110。在 3D-M 核 0 中,每条字线上有 1024 位有效数据,它们被分成 16 个

64 位的字。对于 Hamming 码来说, 每个字需要 7 个校对位, 故每条字线上的数据位有 $16 \times (64 + 7) = 1136$ 。在读时, 这 1136 位数据 8 通过列译码器 70 后输出 71 位数据 79a'。ECC 电路 110 将这 71 位数据 79a' 转换成 64 位有效数据 79a。

另一方面, 冗余电路可以纠正个别位错误、字线错误和位线错误。图 25A 表示第一种具有冗余电路的 3D-M。它含有 3D-M 核 0、列译码器 70、三组 64 位的二选一多路选择器 (mux) 116S、116B、116W 和三个冗余电路块。冗余电路块包括个别位冗余电路块 118S、位线冗余电路块 118B 和字线冗余电路块 118W, 它们分别纠正个别位错误、位线错误、字线错误。每个冗余电路块存储缺陷 (如缺陷元、缺陷位线、缺陷字线) 的地址和纠错数据。当输入地址与一个缺陷地址相符时, 与该缺陷地址对应的纠错数据被送到 mux (116S、116B、116W) 的一个输入端 (117S、117B、117W)。在 mux 选中端 (115S、115B、115W) 的控制下, 纠错数据将对应的 3D-M 输出 79a' 替换。个别位冗余电路块 118S、位线冗余电路块 118B 在图 25B - 图 25DC 中描述; 字线冗余电路块 118W 可用在软件升级中, 故在图 26B - 图 26C 中描述。

图 25B 表示一种个别位冗余电路块 118S。该实施例含有两个纠错组, 它们可以纠正两处缺陷元。很明显, 118S 可以含有更多的纠错组。每个纠错组含有多个寄存器, 它们分别存储有效位 vs1 (1 位) 以及缺陷元的列地址前 4 位 bs1、行地址 ws1 (10 位)、列地址后 6 位 bs1' 和纠错位 ds1 (1 位)。每个寄存器的选中端由 ">" 表示。有效位表示该纠错组的有效性, 只有在它高时, 纠错组存储的地址和纠错数据才有效。vs1 寄存器的选中端 122s 可与 V_{dd} 连接, 也可和别的时序信号 (如 74r) 连接。在读时, 比较器 121a、121c 将输入列地址 2c、AS 2 分别与 bs1、ws1 比较, 如相符, 则读 bs1'、ds1。译码器 121D 根据 bs1' (6 位) 将一根 mux 116S 的控制端 115S 置高。同时, ds1 被传送到 mux 116S 的一个输入端 117S, 在 115S 的控制下替换相应的输出数据 79a'。这里, 当 vs1 为低或输入地址与缺陷地址不符时, 信号 122D 置低且使译码器 121D 失效, 所有的 115S 均为低, 则 mux 116S 不进行任何数据替换。

图 25C 表示一种位线冗余电路块 118B。该实施例含有两个纠错组, 它们可以纠正两处缺陷位线。每个纠错组存储有效位 vb1 (1 位) 以及缺陷位线的列地址前 4 位 bb1、列地址后 6 位 bb1' 和纠错列 db1 (1024 位)。纠错列含有缺陷位线上所有数据的纠错数据。在读时, 列地址 2c 与 bb1 比较, 如相符, 则读 bb1'、db1。译码器 123D 根据 bb1' 将一根 mux 116B 的控制端 115B 置高。同时, 根据 AS 2 从 db1 中选择出对应的纠错位并送至 mux 116B 的一个输入端 117B, 在 115B 的控制下替换相应的输出数据 79a'。

图 25B - 图 25C 中的冗余电路块基于“读时纠错”。另外, 可以利用 3D-M 中的 eRAM 存储 3D-M 数据的一个备份的特点, 实现“读后纠错”, 即 3D-M 中的数据 (包括正确数据和错误数据) 先被下载到 eRAM, 然后在 eRAM 中进行纠正。图 25DA 描述了一种基于“读后纠错”的冗余电路块 118SB, 它先纠正个别位错误, 再纠正位线错误。它含有个别位纠错块 120S 和位线纠错块 120B, 它们分别纠正个别位错误、位线错误。

个别位纠错块 120S 含有第一纠错存储块 126S。该纠错存储块 126S 含有多个纠错组, 每个纠错组存储有效位 126d (1 位) 以及缺陷元的列地址 bs (10 位)、行地址 ws (10 位) 和纠错位 ds (1 位)。在该实施例中, 有效纠错组依次从 126S 的底部存起。当信号 cRY 79 置高后 (即 eRAM 数据就绪), 126S 在定时电路 126a 的控制下逐行读纠错组。图 25DB 表示定时电路 126a 的一种电路设计, 其功能是: 只要有效位 125d 为高, 它会一直送出计数器时钟信号 125a; 一旦 125d 变低, 则送出计数器清零信号 125b 和个别位纠错完毕信号 79'。故只要还有有效纠错组被读出 (125d 为高), 计数器 126b 的输出 125c 一直增加, 125c 被用作纠错存储块的地址 125c。地址译码器 126c 根据 125c 读出一纠错组。比较器 126e 比较 ws 125e 与 AS 2, 如相符, 则 bs 125f 被送至 eRAM 72 的地址端 A[9:0], ds 125g 被送至 eRAM 72 的数据端 D, 并将 eRAM 72 中对应于个别位错误的数据进行替换。

位线纠错块 120B 含有第二纠错存储块 126B。该纠错存储块 126B 也含有多个纠错组。每个纠错组存储有效位 128d (1 位) 以及缺陷位线的列地址 bb (10 位) 和纠错列 db (1024 位)。当收到个别位纠错完毕信号 79' 后, 128B 开始读纠错组。128a 使用与 126a 相同的定时电路。类似地, 当有效位 127d 为高时, 计数器 128b 会一直增加 128B 的地址 127c。地址译码器 128c 根据 127c 读出 bb 127f, 并将其送至 eRAM 72 的地址端 A[9:0]。128B 再根据 AS 2 从 db 中选出所需的纠错位 127g (1 位), 并将其送至 eRAM 72 的数据端 D, 从而替换对应于位线错误的的数据。上述“读后纠错”流程的时序图见图 25DC。

6. 软件的可升级性

软件在使用过程中, 一般会经历多次升级。每次升级过程中, 一部分原始码 (最初发行的软件码) 被升级码替代。一般认为: 如使用掩膜编程只读存储器 (MROM) 来存储软件, 则芯片出厂后, 软件无法升级。对常规 MROM, 这符合事实。但是, 对 3D-M, 该观点并不成立。如前所述, 存储原始码的 3D-M 可以很容易地与常规 RWM 集成在一起 (即 3DiM), 且 RWM 可以用来存储升级码, 故 3DiM 支持软件升级。由于升级码所占空间比原始码小得多, RWM 的容量要求不大, 故整体存储成本不高。

为了便于软件升级, 软件设计最好模块化。图 26A 表示一种软件在 3D-M 中的存储方式。因为 3D-M 中最容易的数据替换方式是字线替换, 即将整条字线上的数据一起替换, 故软件模块最好以 3D-M 页为单位存放在 3D-M 阵列中, 且软件模块之间最好不要共享同一 3D-M 页。这里, 3D-M 页 (如 20S[0]) 是指一条字线 (如 20[0]) 上存储的所有数据。在该实施例, 软件模块 160a 含有 2047 位数据, 因一 3D-M 页含 1024 位数据, 故 160b 被存储在两个 3D-M 页 20S[0]、20S[1] 中, 其中, 3D-M 页 20S[1] 的最后 1 位 1bz 最好是一哑元。如果软件模块 160a 需要被升级, 则字线 20[0]、20[1] 上的所有数据在输出时被升级码替换。这可通过机动码块来实现。

图 26B - 图 26C 表示两种机动码块。这些机动码块也可用来纠正字线错误。图 26B 中的第一机动码块 166 与图 25B - 图 25C 类似, 它基于“读时替换”。该实施例含有二个升级组, 它们可以对两个 3D-M 页进行升级。每个升级组存储有效位 vw1 (1 位) 以及需升级原始码的行地址 ww1 (10 位) 和升级码 dw1 (1024 位)。有效位寄存器的选中端 161s 最好与 cRD 75 相连。在读时, 比较器 162a 比较 AS 2 与 ww1, 如相符, 则根据 2c 从 dw1 读出 64 位数据 117W, 并在字线替换信号 115W 的控制下将输出数据替换。相应地, 外界电路只看到升级码。另外, 机动码块也可以基于“读后替换” (参见图 25DA), 在此不再赘述。注意到, 如需对字线数据进行替换, 则在此读周期内没有必要从 3D-M 阵列中读数据, 故可以将 3D-M 阵列强制进入“软断电” (参见图 14DD), 从而降低能耗并能迅速恢复工作。

图 26C 中的第二机动码块借用了计算机虚拟存储器中分页管理的概念, 它将输入地址视为虚拟地址, 并对其地址转换而得到存储器的物理地址。该实施例含有一升级块 86O、一地址译码器 164D 和一地址转换块 164T。升级块 86O 含有 RWM, 它存储升级码。3D-M 0 和升级块 86O 组成一统一存储空间 86S。这里, 3D-M 0 占据了统一存储空间 86S 的低 1020 行 R[00000 00000]-R[11111 11011], 升级块 86O 占据高 4 行 R[11111 11100]-R[11111 11111]。地址转换块 164T 实际上是一存储器, 它的每一行存储一个 86S 的地址或准地址。所谓准地址, 是指它需要经过一些运算后才能被视为物理地址。地址转换块 164T 的输入地址 86A 为输入地址的高 10 位 A[13:4], 其输出 86TA 有 10 位 TA[9:0], 它们被最终送到地址译码器 164D 作为统一存储空间 86S 的物理地址。地址译码器 164D 根据物理地址对 86S 提供地址译码。当需要使用 3D-M 中的原始码时, 物理地址指向 3D-M 0: 如 86A 是 00000 00000 (即 164T 的行 165a), 86TA 为 00000 00000, 它指向 3D-M 0 中的行 R[00000 00000], 即原始码。当需要使用升级码时, 物理地址指向升级块 86O: 如 86A 是 00000 00100 (即 164T 的行 165d), 86TA 为 11111 11110, 它指向升级块 86O 的

行 R[11111 11110], 即升级码。地址转换可以很方便地用在软件升级、缺陷字线纠错、ConC (参见图 3D) 等应用中。

7. 基于 3D-M 的自测试(3DMST)

现有集成电路采用的“易于测试的设计(Design-for-test, 简称为 DFT 设计)”将具有多路选择功能的触发器(muxed flip-flop, 简称为 Mux-FF)串联形成至少一条扫描链(scan chain)。在测试过程中, 首先将输入测试矢量(input test vector, 简称为 ITV)移入扫描链, 然后将被测试电路(简称为 CUT)的运算结果—输出测试矢量(output test vector, 简称为 OTV)—移出扫描链, 并与测试仪(tester)中的预期测试矢量(expected test vector, 简称为 ETV)进行比较。如果所有的 OTV 与 ETV 均相符, 则该 CUT 通过此测试。

图 27A 是一典型的 CUT 0cut。它含有三个流水线级(pipelined stage) S1-S3。每一级(例如 S1)含有多个触发器(01f, 02f)以及一逻辑电路网络(1N); 前一级(S1)逻辑电路网络(1N)的输出是后一级(S2)触发器(03f)的输入 X3。在本说明书中, 所有的 CUT 以图 27A 为例子。

图 27B 是采用常规 DFT 的 CUT。它将图 27A 中的所有触发器 01f-04f 全换为 Mux-FF 01sf-04sf。为简便计, 图 27A 中的所有逻辑电路网络 1N、2N 被合并为一个电路网络 12N。Mux-FF 的输入 D、SI 由“扫描有效信号(SE)”控制: 当 SE 为低时, mux-FF 中的触发器使用常规输入 D; 当 SE 为高时, 它使用扫描输入 SI。这里, Mux-FF 01sf-04sf 首尾相连组成一扫描链; ITV 002 通过输入端 SI 00si 输入, OTV 006 由输出端 SO 00so 输出。在该实施例中, ITV 002 的宽度为 3, OTV 006 的宽度为 2。

A. 3DMST 测试的概念

现有的测试技术难以对高速集成电路实现同速测试(at-speed testing)。测试仪价格昂贵, 且不支持现场测试和现场诊断。随着 3D-M, 尤其是 3D-ROM 的出现, 工业界拥有了一种大容量、便宜的存储器。这种存储器是测试数据(如 ITV 和 ETV)的理想载体。更为重要的是, 3D-M 能很容易地与 CUT 集成在一个芯片上。实际上, 这种集成的 3D-M 和 CUT 是一种 3DiM(参见图 2A), 其集成方式对 CUT 的版图设计影响很小(参见图 2B)。集成后, 3D-M 与 CUT 之间有很大的带宽(参见图 17), 故能容易地实现同速测试。很明显, 3D-M 支持 CUT 的现场自测试。相应地, 这种测试手段被称为基于 3D-M 的自测试(3D-M-based self-test, 简称为 3DMST)。

实际上, 3D-M 阵列不一定要覆盖整个 CUT 的芯片面积。如 CUT 有一部分区域内的相邻两层互连线无布线要求, 则可以在该区域内形成 3D-M 阵列。这样, 3D-M 的引入并不一定需要增加新的互连线层, 从而减少附加成本。另一方面, 在 CUT 正常工作时, 3D-M 没有必要处于工作状态; 它仅在测试时才需要工作。故在 CUT 正常工作时, 可以利用状态控制端 6E 强制 3D-M 进入“软断开”模式(参见图 14DD), 以降低能耗。

图 28A 是一种 3DMST 集成电路(简称为 3DMST-IC)的框图, 图 28B 为一种 3DMST 测试的流程图。3DMST-IC 含有 CUT 0cut、3D-M 0 和测试矢量缓冲区(test-vector buffer, 简称为 TVB) 206。3D-M 0 存储其测试数据(如 ITV 和 ETV)。TVB 206 含有 ITV 缓冲区 202 和 ETV 缓冲区 208。3D-M 0 所载的测试矢量 206td 首先下载到测试矢量缓冲区 206 中。它包括将 ITV 002 下载到 ITV 缓冲区 202 (步骤 222) 和将 ETV 002 下载到 ETV 缓冲区 208 (步骤 224) 的步骤。CUT 0cut 将 ITV 002 运算后得到 OTV 006 (步骤 223)。比较器 210 比较 OTV 006 与 ETV 008。如相符(步骤 226), 或在不相符但需要进行进一步诊断或准备二次甄别(步骤 225)的情形下, 产生一新的 3D-M 地址, 并重复步骤 222-226, 直到 3DMST 测试完毕(步骤 227); 在其它情形下, 可认为 CUT 未通过测试(步骤 228)。

图 28C 详细描述载有一测试数据的 3D-ROM 阵列 0A 及 TVB 206 的结构。它们能完成图 28A-图 28B 中的步骤 222、224。3D-ROM 阵列 0A 中含有多条字线(20a)和多条位线(30b), 以及多个代表测试数据的二极管(1ab-1aj)。在该实施例中, 一条字线(20a)上载有两个测试矢量(006、006')。它们均含有 5 位测试数据, 包括 3 位 ITV 和 2 位 ETV。基于

行地址 2 和列地址 2c, 测试矢量 006 被送至 TVB 206 中。在 TVB 206 中, 触发器 1f1-1f3 构成 ITV 缓冲区 202, 触发器 1f4-1f5 构成 ETV 缓冲区 208。

因为 3D-M 0 与 TVB 206 是以三维的形式集成在一起, 3D-M 中所载的测试矢量可通过大量接触通道口平行地传输至 TVB 206 中, 故它们之间的接口具有很大带宽。加上 TVB 206 中的触发器 1f1-1f5 均为高速触发器, 故以这种形式集成的 CUT 支持同速 (高速) 测试。在图 28C 中, 测试矢量 006 直接经过列译码器 70 送到 TVB 206 中。另一种可能是先将测试矢量 006 复制到 eRAM 中, 再将其从 eRAM 中送到 TVB 206 (参见图 17)。

图 29AA - 图 29BC 描述两种将 3D-M 0 中所载的测试数据下载至 CUT 的方法: 一种是串行下载 (图 29AA - 图 29AD), 即测试矢量被逐一移位移进测试触发器链中; 另一种是平行下载 (图 29BA - 图 29BC), 即测试矢量被平行输入至测试触发器中。

图 29AA 是串行测试触发器 (serial test flip-flop, 简称为 SL-TFF) 的一个实施例, 它与图 27B 中使用的 Mux-FF 相同。图 29AB 是一使用串行下载的 3DMST-IC (serial-load 3DMST-IC, 简称为 SL-3DMST-IC)。与图 27B 相比, 首位 SL-TFF 01sf 的输入 SI 00si 是来自于 ITV 缓冲区 202 的 ITV 002; 末位 SL-TFF 04sf 的输出 SO 00so 直接与来自于 ETV 缓冲区 208 的 ETV 008 比较; 所得结果 CO 00co 送到后端甄别电路 00pp, 以决定 CUT 是否通过该测试。ITV 缓冲区 202 和 ETV 缓冲区 208 均含有平行输入、串行输出块 (parallel-in-serial-out module, 简称为 PISO)。它们的输出 202i、208o 分别在缓冲区时钟 CKI 202c、CKO 208c 的驱动下进行, 输入 202td、208td 分别在平行输入控制信号 PEI 202p、PEO 208p 的控制下进行。在开始 3DMST 测试时, 清零信号 00cl 将计数器 00ctr 置零。然后, 随着每个时钟 CKT 00ct 的到来, 计数器 00ctr 提供一个 3D-M 的新地址。

图 29AC 是 SL-3DMST-IC 的一种时序图。在该实施例中, CK、CKI、CKO 使用相同的时钟源, PEI、PEO 使用相同的时钟源。在时钟周期 T1-T3 中, 串行下载控制信号 SE 00s 为高, 第 n 个输入测试矢量 ITV(n) 被逐次移位移进 SL-TFF 01sf-03sf 中。在时钟周期 T4 时, SE 00s 变低, SL-TFF 03sf-04sf 接受常规输入 X3、X4。这些常规输入 X3、X4 是 ITV(n) 在电路网络 12N 中的运算结果, 即 OTV(n)。OTV(n) 在时钟周期 T5-T6 时被逐次移出, 并与 ETV 208o 相比较。这里, 输入、运算和输出这些步骤共需要 4 个时钟周期, 它们组成一测试周期 STC。因 OTV 的宽度为 2, 只有在时钟周期 T5-T6 内的比较结果 CO 00co 才有效, 故 T5-T6 被称为有效 OTV 时钟周期。注意到, 与第一测试周期 (T1-T4) 中 ITV(n) 对应的 ETV(n) 在第二测试周期 (T5-T8) 中才被读出。

图 29AD 表示该 3DMST-IC 的一种后端甄别电路 00pp。在此实施例中, 只要在一个有效 OTV 时钟周期内, 如 OTV 与 ETV 不相符 (即 00co 为 “1”), 则甄别电路 00pp 的输出 P/F 00pf 被锁存为 “1”。该后端甄别电路 00pp 还含有存储器 208pn、计数器 208ctr 和比较器 208lt, 它们决定在此时钟周期内的 CO 是否为有效比较结果。其中, 存储器 208pn 存储 OTV 的宽度; 计数器 208ctr 记录在一个测试周期开始后经历的时钟数; 比较器 208lt 将这两个数进行比较, 如果时钟数小于 OTV 的宽度, 则比较结果有效。

图 29BA - 图 29BB 是平行测试触发器 (parallel test flip-flop, 简称为 PL-TFF) 的两个实施例。PL-TFF 01pf 有一预期值输入端 ER 和一比较输出端 CO。来自 ER 的数据与来自触发器输出 Y 的数据相比较, 其结果由 CO 输出。数据选择端 PE 决定触发器 0f 捕获常规输入 D 或来自 3D-M 的测试数据 PI。图 29BA 还有一开关 00sw。在电路正常运行时, 开关 00sw 把比较电路 00xo 与 CUT 隔开; 在测试过程中, 开关 00sw 才接通。

图 29BC 是一使用平行下载的 3DMST-IC (parallel-load 3DMST-IC, 简称为 PL-3DMST-IC)。这里, TVB 206 为一简单的缓冲区, 其输入在时钟 CKP' 的控制下进行, 输出在在时钟 CKP 的控制下进行。在 TVB 206 中的测试矢量 (202a-202c、208a-208b) 被同时平行输入至 PL-TFF 01pf-04pf 中。因为 PL-TFF 01pf-02pf 是 CUT 流水线的第一级 S1, 它们不处理信号 (参见图 27A), 它们无相应的预期值, 故只需将 PL-TFF 03pf-04pf 的比较结果 00co 送至后端甄别电路。

PL-3DMST-IC 的操作可结合图 29BD 中的时序图来说明。在时钟 CKP 的控制下, 在时刻 t_x , 将 3D-M 中的测试数据 206td 送至 TVB 206 中。在时钟周期 T_a 内, 平行输入控制信号 PE 置高, 所有测试矢量被平行下载至 PL-TFF 01pf-04pf 中。然后, ITV 202a-202c 经过 CUT 运算后得到结果 OTV。在时钟周期 T_b 内, PE 置低, 这时 OTV 被流水线下一级的 PL-TFF 捕获并进行评估。相应地, 一测试周期 PTC 含有 2 个时钟周期。

B. 3DMST 测试的应用

在实际应用中, 3DMST 可以使用平行自测试 (图 30A), 它也可以应用到混合信号测试 (图 30BA - 图 30BC)、系统自测试 (图 30C) 等情形。

大多数逻辑电路含有多条扫描链。图 30A 描述一支持平行自测试的 3DMST-IC。在该实施例中, 测试矢量 206tda、206tdb 被分别下载至 ITV 206a、206b。这个下载步骤是平行进行的。这样, 对两个 CUT 0cuta、0cutb 可以平行测试, 从而缩短测试时间。

混合信号电路含有模拟信号。因为数-模(D/A)转换比模-数转换快很多, 故在模拟信号测试时, 在必要情况下可将 ITV 和/或 ETV 转换成模拟信号。图 30BA 描述一支持混合信号测试的 3DMST-IC。在此实施例中, CUT 0cutm 的输入 002a 含有模拟信号, 输出 006 全为数字信号。一片内模拟信号仿真器 0sg 将 ITV 002d 转换成模拟信号 002a, 并送至 CUT 0cutm。图 30BB 表示一种模拟信号仿真器 0sg。它包含一数-模转换器 0dac 和一混频器 (mixer) 0sm。数-模转换器 0dac 将 ITV 002d 转换成一模拟信号 002a'; 混频器 0sm 将它与一载波 002cw 混合, 从而产生所需的测试信号 002a。另一方面, 图 30BC 中的 0cutm 输出包括模拟信号 006, 则可通过数-模转换器 0dac' 将 ETV 008 转换成模拟信号 008a, 并在模拟比较器 210a 处比较, 以得到比较结果 00co。模拟比较器 210a 可含一如 17C 的差分放大器和一积分器。

图 30C 描述一支持印刷电路板(PCB)系统自测试的 3DMST-IC。该 PCB 268 除含有一 3DMST-IC 芯片 262 外, 还含有芯片 264、266 等。3DMST-IC 262 的 3D-M 不仅载有 3DMST-IC 262 的测试矢量, 还载有芯片 264、266 的测试矢量。这样 3DMST-IC 262 可支持对整个 PCB 268 的系统自测试。因为 3D-M 容量大, 该系统自测试的覆盖范围较广。

在图 30C 的实施例中, 第一接口 269 是 PCB 系统 268 与外界的标准接口, 第二接口 261 可用来对 3DMST-IC 262 进行单独测试。该单独测试的目的是保证该 3DMST-IC 262 中的 3D-M 无错误。该测试是一存储器测试, 它可由中低速测试仪来完成。一旦 3DMST-IC 262 通过此单独测试, 则 PCB 系统自测试可高速地进行。

C. 减少测试数据量

为了减少存储在 3D-M 中的测试数据量, 可以使用测试数据压缩 (图 31AA - 图 31AB), 或混合型测试 (图 31BA - 图 31BB)。

图 31AA 是一使用压缩测试数据的 3DMST-IC。与图 28A 比较, 在 CUT 的输入端有一输入数据还原器 0dc (data de-compressor), 在输出端有一输出数据压缩器 0cp。3D-M 0 存储 ITV 的籽数据 002c, 它经过输入数据还原器 0dc 产生 ITV 002。运算结果 006 经输出数据压缩器 0cp 压缩后的 006c 才与 ETV 008 比较。

图 31AB 表示一种输入数据还原器 0dc。它是一个 LFSR 发生器 0dc。在测试前, 控制信号 SL 0sl 置高, 并将籽数据 002c 下载至触发器 01if-03if 中。在测试过程中, SL 0sl 置低, LFSR 发生器 0dc 产生准随机数。输出数据压缩器 0cp 可以使用特征分析器 (signature analyzer)。在实际应用中, 可视情况采用以上测试数据压缩方案中的一种或两种。

图 31BA - 图 31BB 描述两种混合型测试方法。混合型测试是指在测试过程中使用至少两种测试手段, 包括 3DMST、内建自测试 (BIST 测试)、外界扫描测试 (external scan test, 简称为 EST 测试) 等。混合型测试充分利用这些测试手段各自的特长。如图 31BA 所示, 基本电路块 (如 RAM 等) 可采用 BIST 测试。在高一层次的电路设计中 (如芯片层次的功能/结构测试) 可采用 3DMST 测试。又如图 31BB 所示, 对电路的高速测试可使用 3DMST

和/或 BIST 测试, 对电路的中低速测试则采用 EST 测试。这样可以降低整体测试成本。再则, 可以用 3DMST 测试重要测试矢量 (即在芯片工作中容易出错的测试矢量), 而用 EST 测试一般测试矢量。这样, 自测试时发现运行错误的可能性较大。混合型测试可以优化测试成本和测试可靠性。

D. 3DMST 测试的可信赖度

在 3DMST 测试过程中, 如 OTV 与 ETV 不相符, 有两种可能: 一种可能是 CUT 有缺陷; 另一种可能是 3D-M 有缺陷。第二种可能的情形会导致成品率不必要的损失。为了提高 3DMST 测试的可信度, 可以使用“可信赖的 3DMST 测试”, 即保证 3D-M 无错, 对有错的 3D-M 进行纠错 (图 32); 或对 CUT 进行“二次甄别 (即双重测试)”, 即对未通过 3DMST 测试的芯片再进行一次 EST 测试 (图 33A - 图 33D)。

图 32 描述一使用“可信赖的 3DMST 测试”的流程图。该测试保证与载有测试矢量的 3D-M 无错。相应地, 在 3DMST 测试前, 需要对 3D-M 0 进行测试 (步骤 231)。该测试可以通过一中低速测试仪来完成, 其测试费用较为低廉。如 3D-M 0 未通过测试 (步骤 232), 则对其发现的错误应尽量纠错 (步骤 234, 参见图 25A - 图 26C)。如纠错不成功 (步骤 235), 则对 CUT 进行 EST 测试 (步骤 236) 和/或双重测试 (步骤 237, 见图 33)。

图 33A - 图 33CB 描述多种具有双重测试功能 (dual-testing capacity, 简称为 DTC) 的集成电路 (DTC-IC)。DTC-IC 除了能支持 3DMST 测试外, 还能支持 EST 测试。如图 33A 所示, 在双重测试时, 对 CUT 进行“二次甄别”, 即对未通过 3DMST 测试的芯片再进行一次 EST 测试 (步骤 230)。如该芯片仍不能通过 EST 测试, 则它被认为是废品。为了缩短双重测试时 EST 测试的时间, 在 3DMST 测试时, 可将问题测试矢量 (questionable test vector, 简称为 QTV, 即 OTV 与 ETV 不相符的 ITV) 记录下来 (步骤 229)。在 EST 测试时, 可仅进行对 QTV 004 的测试 (步骤 229C)。

图 33BA 描述一具有 DTC 功能的 SL-3DMST-IC。它在 SL-TFF 链 00sfc 的两端各自增加了多路选择器 00m1、00m2。多路选择器 00m1 决定输入 SL-TFF 链 00sfc 的 ITV 是来自 3D-M 0 的 ITV 202i 或来自外界测试仪的测试数据 ESI 00esi。另一方面, 多路选择器 00m2 决定从 SL-TFF 链 00sfc 中输出的数据 00eo 是比较结果 CO 00co 或 OTV SO 00so。

图 33BB 是该 SL-3DMST-IC 的一后端甄别电路 00pp'。与图 29AD 不同之处是, 它含有一 QTV 存储器 204。该 QTV 存储器 204 含有多个 QTV 地址寄存器 204a-204d, 以及多个比较结果寄存器 204af-204df。QTV 地址 2QA 可包括 3D-M 0 的地址 2 和不相符位在 OTV 中的位置 208n。这里, 不相符位是指 OTV 与 ETV 中不相符的位, 它可以帮助找到 CUT 的缺陷。如一有效比较结果 CO 00co 为“1”, 则 2QA 被送至第一 QTV 地址寄存器 204a, 且以前的 2QA 被依次移位至下一个 QTV 寄存器。一旦输出 00pf 为“1”, 它表示该 CUT 未通过 3DMST 测试。

图 33CA - 图 33CB 描述一具有 DTC 功能的 PL-3DMST-IC。它将图 29BC 中的所有 PL-TFF 01pf-04pf 换为平行串行测试触发器 (parallel-serial test flip-flop, 简称为 PS-TFF) 01df-04df。这些 PS-TFF 01df-04df 组成一 PS-TFF 链 00dfc。每个 PS-TFF 在控制信号 DE[0:1] 00de 的控制下决定从以下三个输入中捕获一个: 常规输入 D; 来自于外界扫描仪的、串行下载的 ITV ESI; 来自 3D-M 0 的、平行下载的 ITV PI。它的一个实施例由图 33CB 表示, 对于熟悉本专业的人士应易于理解其操作。

虽然以上说明书具体描述了本发明的一些实例, 熟悉本专业的技术人员应该了解, 在不远离本发明的精神和范围的前提下, 可以对本发明的形式和细节进行改动, 譬如说, 本说明书中的 3D-M 阵列实施例为 1024×1024 , 实际使用的 3D-M 阵列一般是 $\sim 10^4 \times 10^4$ 。另外, 本说明书中的 3DMST 实施例均基于 Mux-FF, 实际上, 它还可以基于 LSSD 等。这并不妨碍它们应用本发明的精神。因此, 除了根据附加的权利要求书的精神, 本发明不应受到任何限制。

权 利 要 求

1. 一种三维集成存储器，其特征在于含有：

一衬底电路(0s)，所述衬底电路(0s)含有一衬底集成电路(0SC)和一第一地址解码器(12, 18/70)，该衬底集成电路(0SC)含有一嵌入式可读可写存储器(82)和/或一嵌入式数据处理器(88)；

一三维存储器(0)，该三维存储器(0)的至少一三维存储层(100)堆叠在该衬底电路(0s)上方，所述三维存储层(100)通过多个接触通道口(20v)与所述第一地址解码器相连。

2. 根据权利要求1所述的三维集成存储器，其特征还在于：所述三维存储层(100)含有多晶半导体材料，所述衬底电路(0s)的互连线系统(0I)由耐熔性导体和热稳定介质构成。

3. 根据权利要求1所述的三维集成存储器，其特征还在于还含有：一地址转换块(86T)、一第二地址译码器(164D)，至少部分所述可读可写存储器(82)与至少部分所述三维存储器(0)构成一统一存储空间(86S)，该第二地址译码器为该统一存储空间提供地址译码，该地址转换块的至少部分输出(86TA)最终与该第二地址译码器的至少部分输入相连。

4. 根据权利要求1所述的三维集成存储器，其特征还在于：该嵌入式数据处理器(88)含有数-模转换器(88DA)、解压缩处理器和解密引擎(88DE)中的至少一种。

5. 根据权利要求1所述的三维集成存储器，其特征还在于含有一介于所述衬底电路(0s)和至少部分所述三维存储层(100)之间的屏蔽层(10S)。

6. 根据权利要求1所述的三维集成存储器，其特征还在于含有：至少一引线空隙(20gp)和至少一嵌入式引线(20ei)，该引线空隙位于所述三维存储层(100)中相邻两条地址选择线(30p、30q)之间，所述嵌入式引线从该引线空隙穿过所述三维存储层(100)。

7. 根据权利要求1所述的三维集成存储器，其特征还在于含有：至少一布线层(0R)，该布线层使用该衬底电路的互连线层，并为所述三维存储层(100)及所述第一地址译码器(12、18)提供电连接。

8. 根据权利要求1所述的三维集成存储器，其特征还在于：所述嵌入式可读可写存储器含有一嵌入式RAM(72)，该嵌入式RAM的至少部分输入/输出最终与所述第一地址译码器的至少部分输入/输出相连，该嵌入式RAM存储所述三维存储层数据的一个备份。

9. 根据权利要求1所述的三维集成存储器，其特征还在于：所述嵌入式可读可写存储器(82)含有一嵌入式ROM(118S、118B、118W、86O)，所述嵌入式ROM中存储所述三维存储层的纠错数据和/或升级码；所述衬底电路(0s)还具有有一选择电路(116S、116B、116W、86T)，该选择电路从所述三维存储层或从所述嵌入式ROM中选择所需的数据。

10. 一种只读存储器，其特征在于含有：

至少一条第一地址选择线(20a)，所述第一地址选择线(20a)具有第一宽度(20w)；
至少一条第二地址选择线(30b, 30a')，所述第二地址选择线具有第二宽度(30w)；
至少一个 3D-ROM 元(1ab)，所述 3D-ROM 元含有一顶电极、一底电极以及一介于所述顶电极和底电极之间的 3D-ROM 膜，所述顶电极与一第一地址选择线相连，所述底电极与一第二地址选择线相连，所述 3D-ROM 膜具有非线性电阻特性。

11. 根据权利要求 10 所述的只读存储器，其特征还在于：所述只读存储器为一掩模编程只读存储器，所述掩模编程只读存储器的 3D-ROM 元(1ab)含有一信息开口(24)，在沿所述第一地址选择线(20a)的方向，该信息开口的边长大于第二宽度。

12. 根据权利要求 10 所述的只读存储器，其特征还在于：所述只读存储器为一三维掩模编程只读存储器，它含有第一存储层(100)和第二存储层(200)，所述第二存储层(200)位于第一存储层(100)上方并与之共享至少一条地址选择线(20a)。

13. 根据权利要求 10 所述的只读存储器，其特征还在于：所述只读存储器为一掩模编程只读存储器，其 3D-ROM 膜(22)的第一边长(22wy)等于第一宽度(20w)，第二边长(22wx)等于第二宽度(30w)。

14. 根据权利要求 10 所述的只读存储器，其特征还在于：所述只读存储器为一掩模编程只读存储器，其 3D-ROM 膜为一自然结(1nj)，所述自然结形成在所述第一地址选择线(20a)和第二地址选择线(30a')的交叉处，且所述自然结的第一部分位于所述第一地址选择线(20a)内，第二部分位于第二地址选择线(30a')内。

15. 根据权利要求 10 所述的只读存储器，其特征还在于：所述只读存储器为一掩模编程只读存储器，其至少一条地址选择线(30a、30a')由半导体材料构成。

16. 根据权利要求 10 所述的只读存储器，其特征还在于：至少一条地址选择线含有半导体材料，该半导体材料中含有由金属离子注入法引入的金属离子。

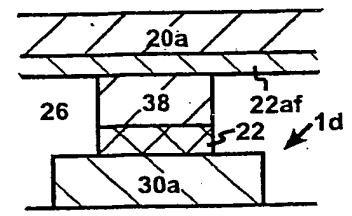
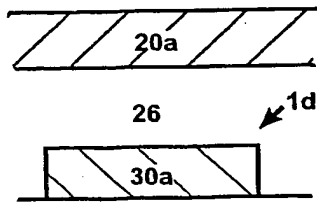
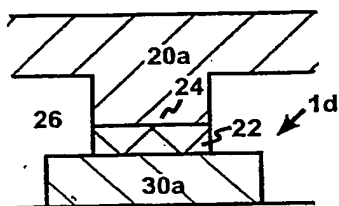
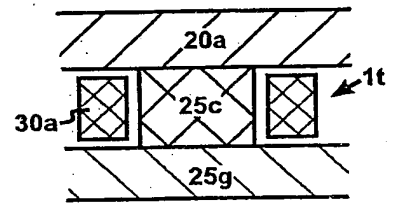
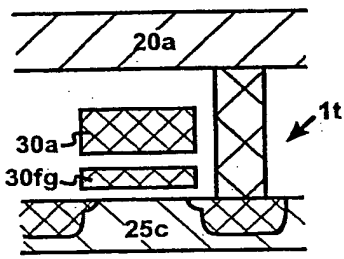
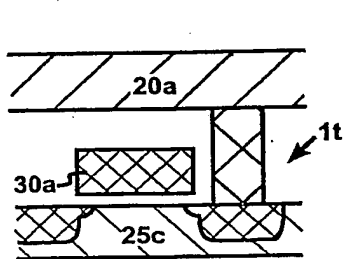
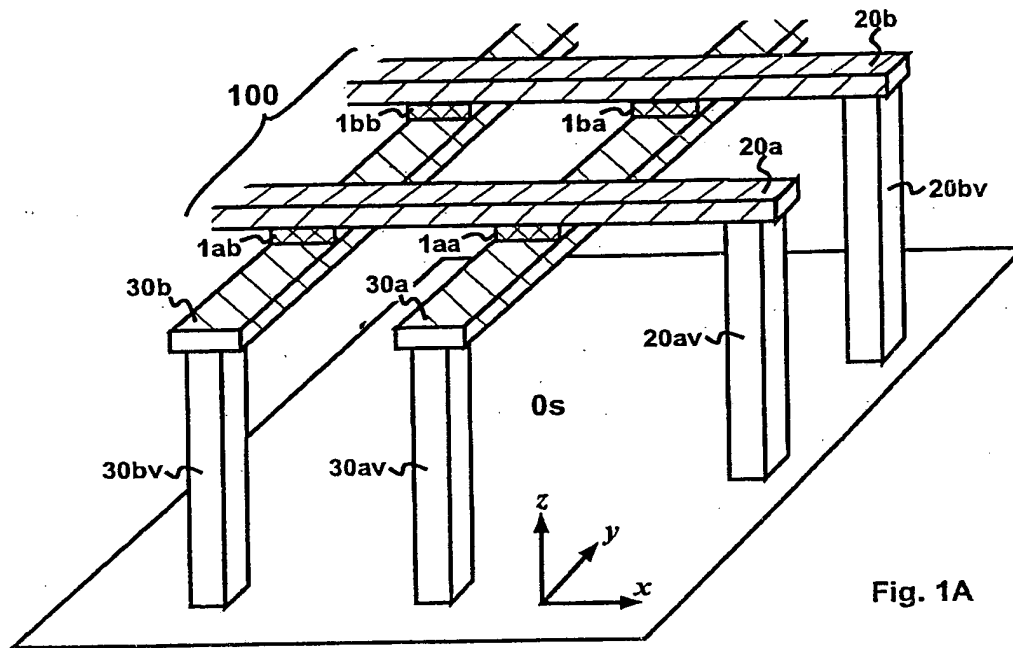
17. 根据权利要求 10 所述的只读存储器，其特征还在于：所述 3D-ROM 膜是二极化膜和/或具有二极化结构。

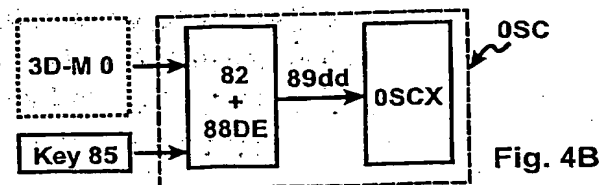
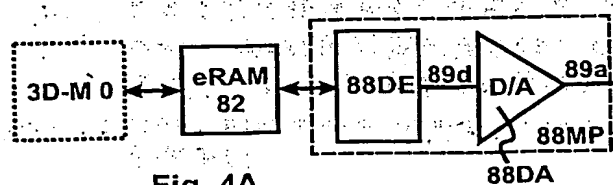
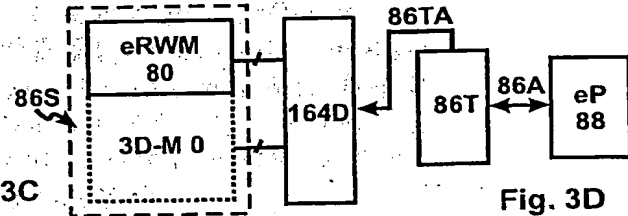
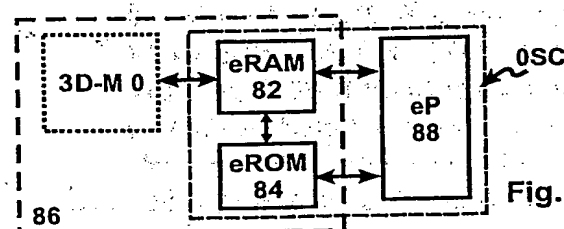
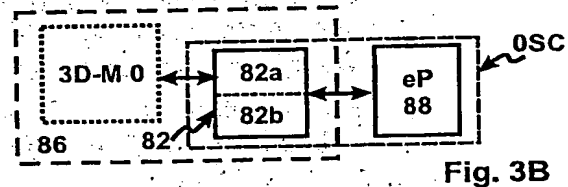
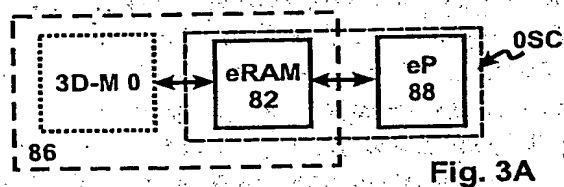
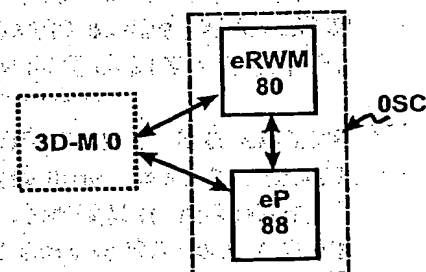
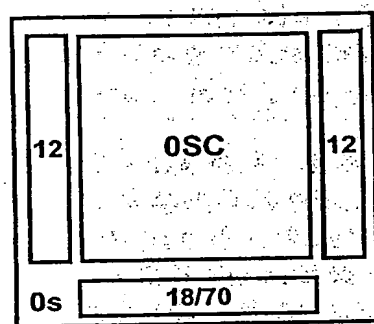
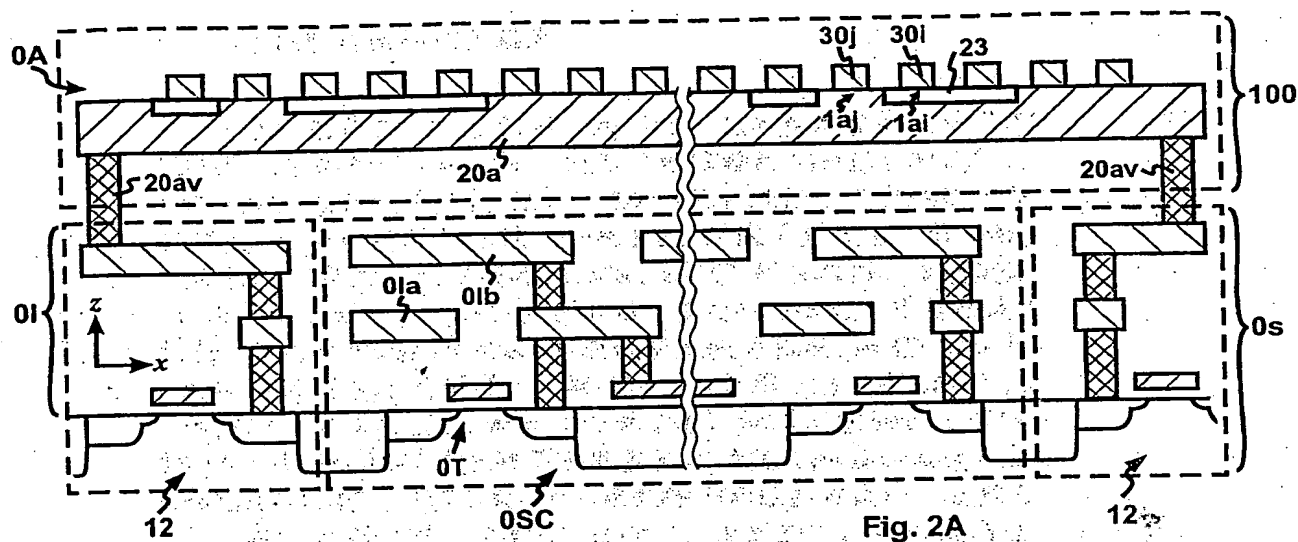
18. 根据权利要求 10 所述的只读存储器，其特征还在于：所述 3D-ROM 元是一无缝 3D-ROM 元或准无缝 3D-ROM 元。

19. 根据权利要求 10 所述的只读存储器，其特征还在于：至少部分所述 3D-ROM 膜含有高隙宽半导体材料和/或微晶半导体材料。

20. 一种三维存储器，其特征在于含有：一衬底电路(10)以及至少一堆叠在该衬底电路(10)上方的三维存储层(100)；所述衬底电路(10)含有一周边电路(18/70)，该周边电路含有一数据读出放大器(17c)；所述三维存储层含有至少一个单位阵列(0A)，该单位阵列含有一数据位线(30c)；该数据位线通过一接触通道口(20v)与所述数据读出放大器相连。

21. 根据权利要求 20 所述的三维存储器, 其特征还在于: 所述单位阵列中的所有位线通过一组开关(17a'-17d')与一稳压直流电源(7)相连, 所有所述开关由同一控制信号(6)控制。
22. 根据权利要求 20 所述的三维存储器, 其特征还在于还含有: 第一定时位线(30T)、第二定时位线(30T')和哑位线(30D)中的至少一种, 其中, 该第一定时位线上产生的信号启动该数据读出放大器(17c)的取样; 该第二定时位线上产生的信号停止该数据读出放大器(17c)的取样; 所述哑位线与该数据读出放大器的一输入相连。
23. 根据权利要求 20 所述的三维存储器, 其特征还在于含有: 一状态控制信号(6E), 所述状态控制信号控制所述单位阵列中所有地址选择线与一稳压直流电源(7)之间的连接。
24. 根据权利要求 20 所述的三维存储器, 其特征还在于: 所述三维存储器为一三维电编程只读存储器, 其单位阵列(0A)含有第一存储元(1cb)和第二存储元(1cc), 该第一存储元(1cb)与第一次解码器相连, 该第二存储元(1cc)与第二次解码器相连, 所述第一和第二次解码器共享一输入地址。
25. 根据权利要求 20 所述的三维存储器, 其特征还在于: 所述单位阵列(0A)的列数目(N_{BL})大于行数目(N_{WL})。
26. 根据权利要求 20 所述的三维存储器, 其特征还在于还含有: 一读电压产生器(12R)和/或一编程电压接线垫(12P, 70P), 该读电压产生器(12R)为该单位阵列提供一大于电源电压(V_{dd})的读电压(V_R), 该编程电压接线垫为该单位阵列提供一编程电压(V_{pp})。
27. 一种自测试集成电路, 其中的自测试是基于三维存储器, 它的特征在于含有: 一被测电路(0CUT)以及一与之集成的三维存储器(0), 至少部分该三维存储器(0)存储至少部分该被测试电路的测试数据(002)和/或测试数据的籽数据(002c)。
28. 根据权利要求 27 所述的自测试集成电路, 其特征还在于: 存储在所述三维存储器中的至少部分测试数据或测试数据的籽数据通过串行和/或平行下载至该被测试电路中。
29. 根据权利要求 27 所述的自测试集成电路, 其特征还在于: 所述自测试支持平行自测试、混合信号测试、印刷电路版系统自测试、测试数据压缩和混合型测试中的至少一种。
30. 根据权利要求 27 所述的自测试集成电路, 其特征还在于: 用一“可信赖的 3DMST 测试”和/或双重测试进行测试。





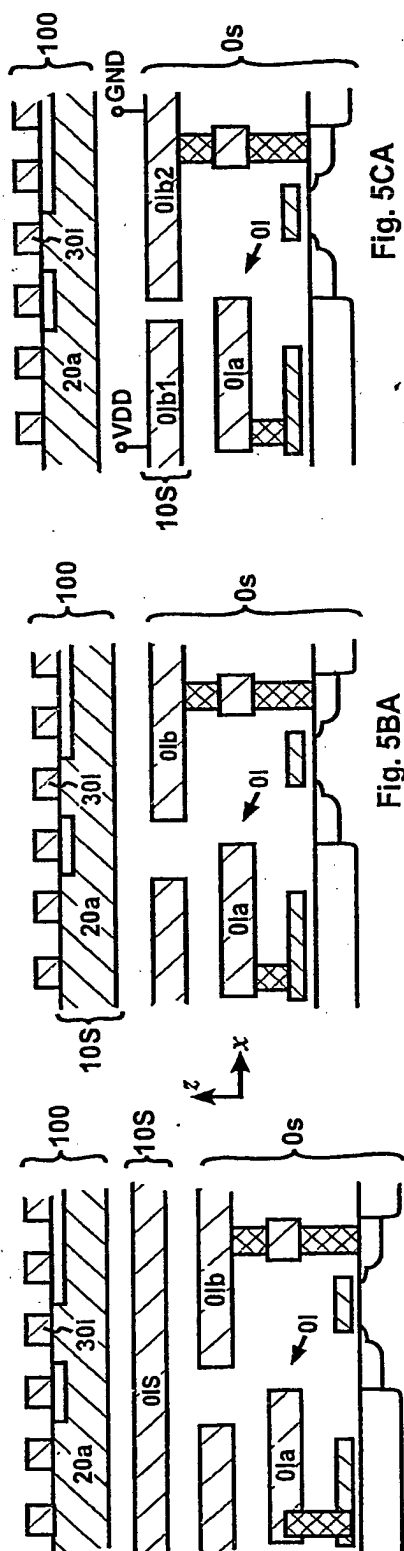


Fig. 5CA

Fig. 5BA

Fig. 5AA

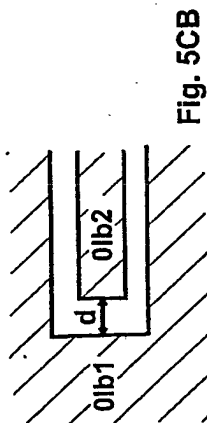


Fig. 5CB

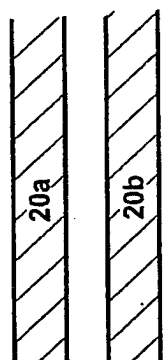


Fig. 5BB



Fig. 5AB

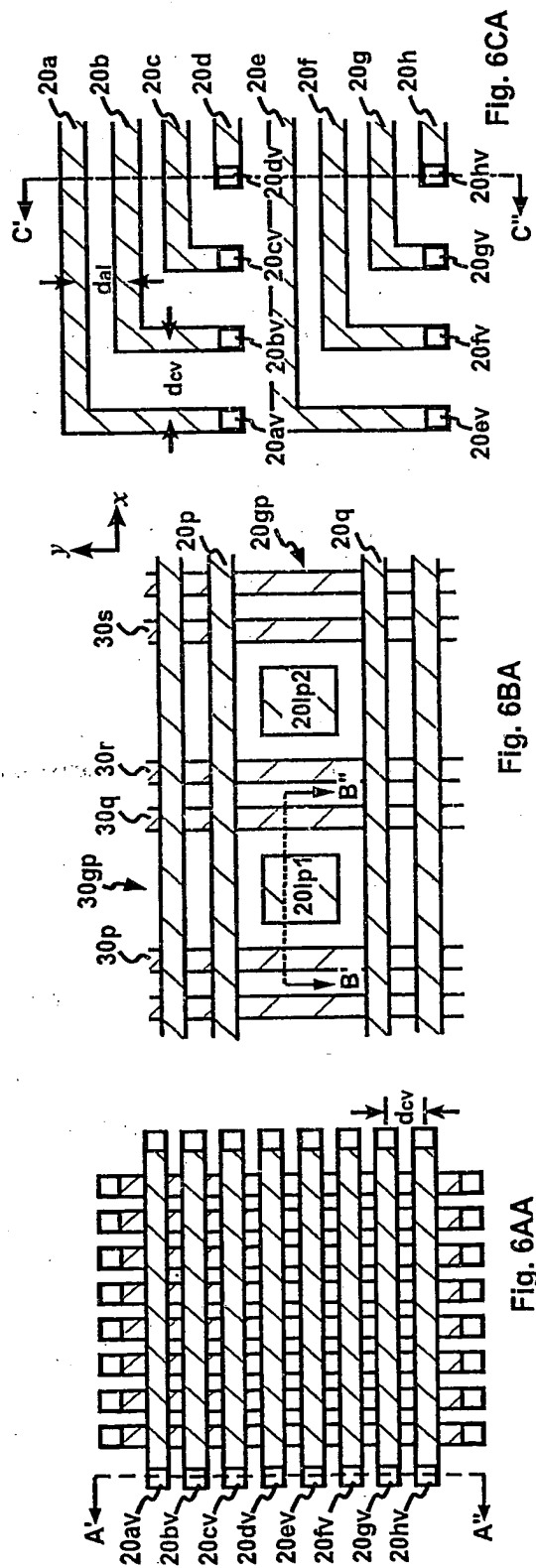


Fig. 6BA

Fig. 6AA

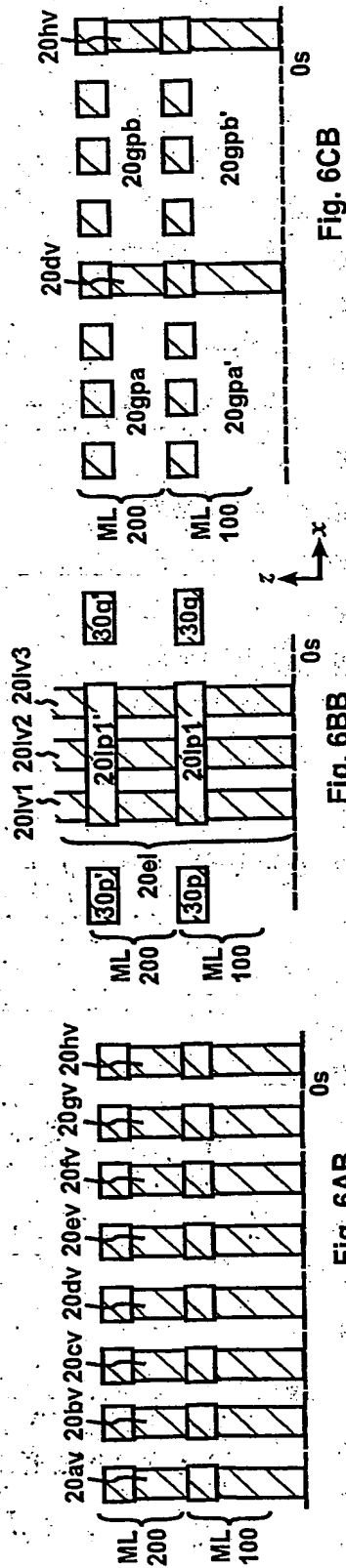


Fig. 6A

Fig. 6B

Fig. 6BB

Fig. 6CB

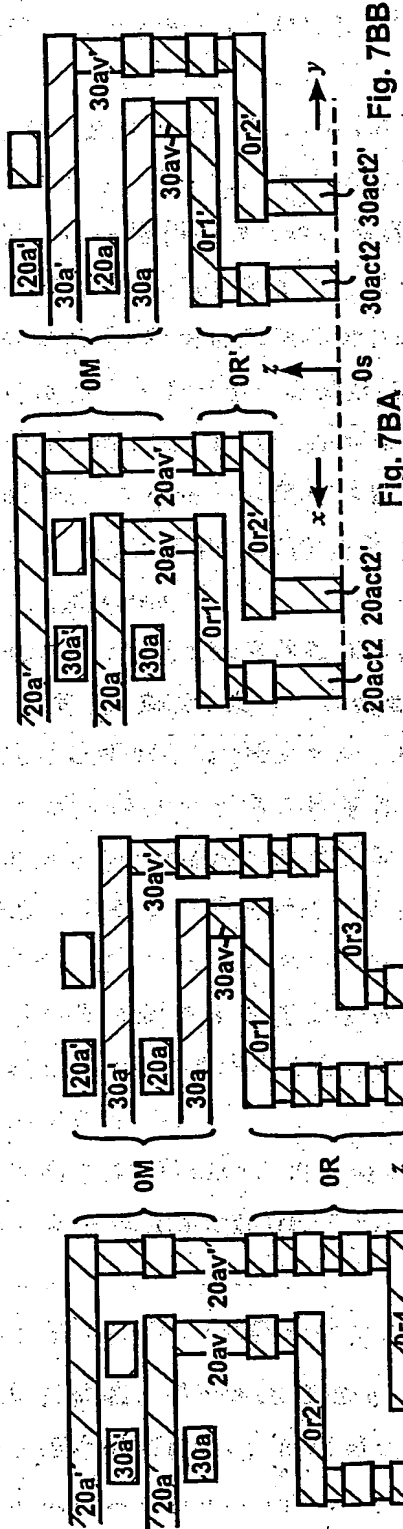


Fig. 7AA

Fig. 7AB

Fig. 7BA

Fig. 7BB

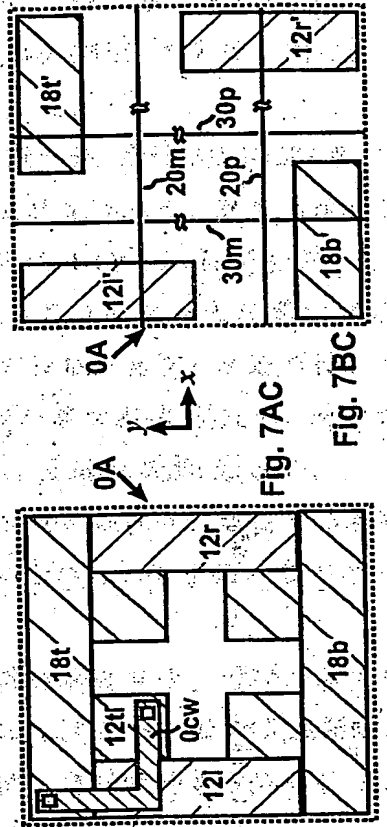


Fig. 7AC

Fig. 7BC

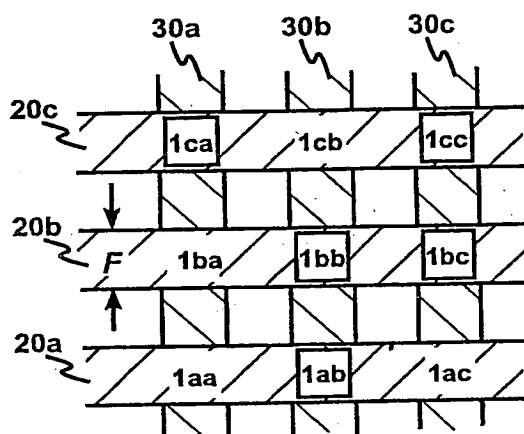


Fig. 8A

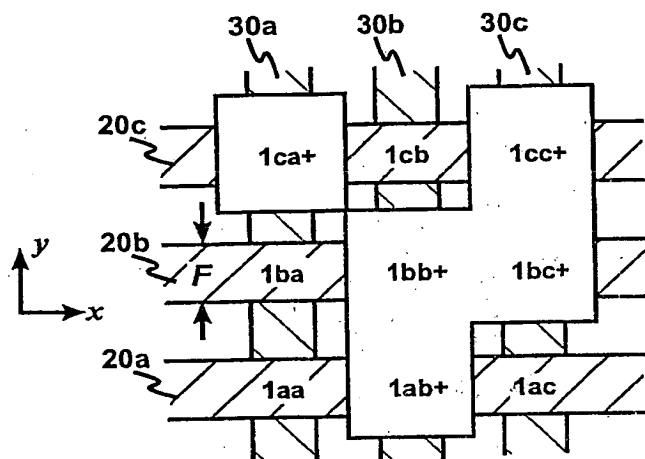


Fig. 8B

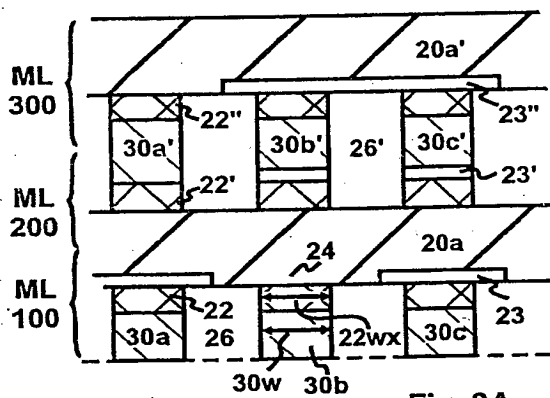


Fig. 9A

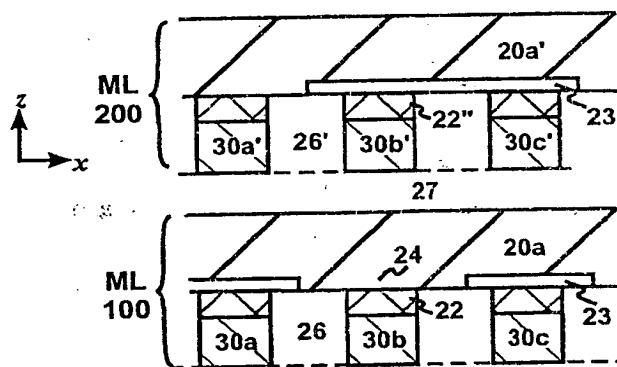


Fig. 9C

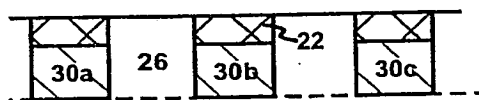


Fig. 9BA

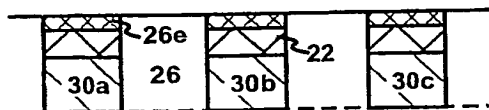


Fig. 9BA'

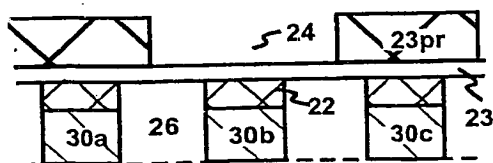


Fig. 9BB

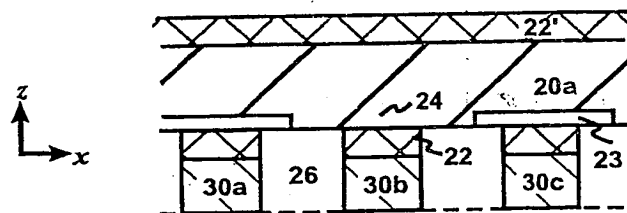


Fig. 9BC

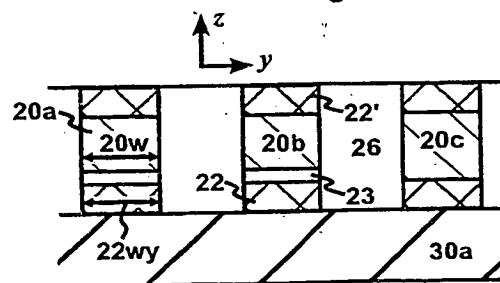


Fig. 9BD

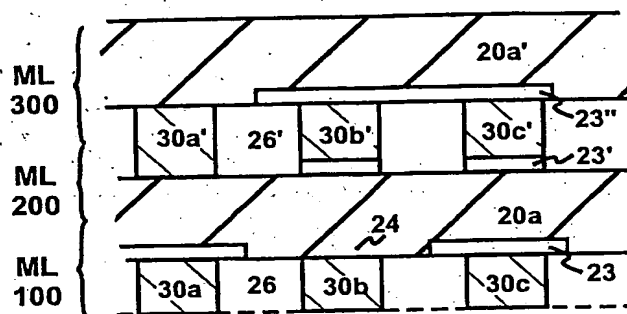


Fig. 10A

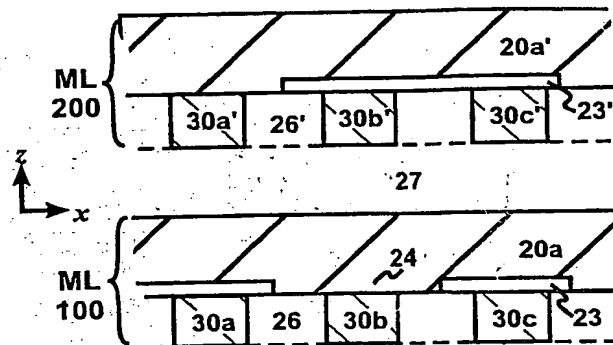


Fig. 10D

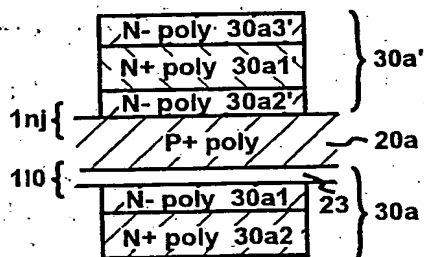


Fig. 10BA

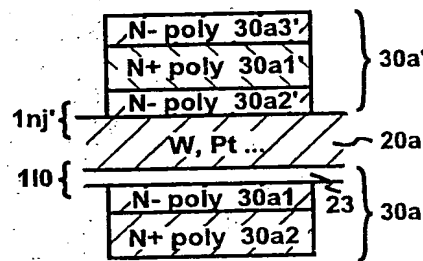


Fig. 10BB

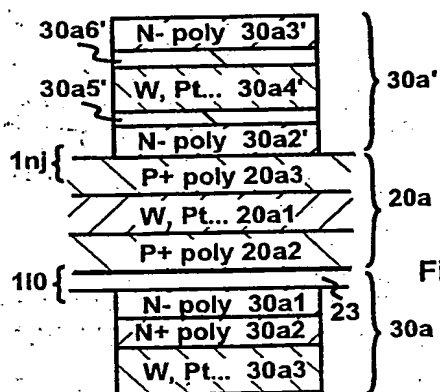


Fig. 10BC

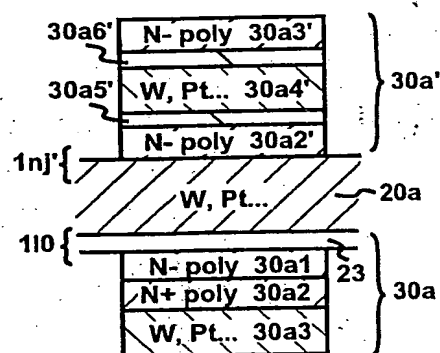


Fig. 10BD

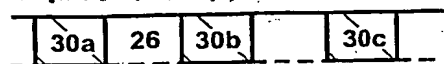


Fig. 10CA

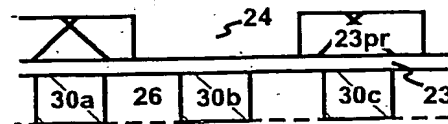


Fig. 10CB

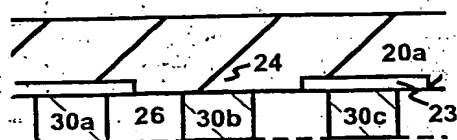


Fig. 10CC

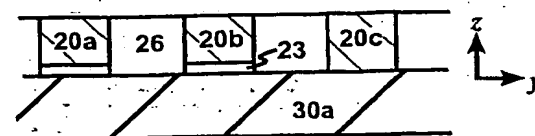


Fig. 10CD

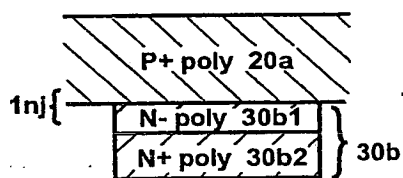


Fig. 10EA

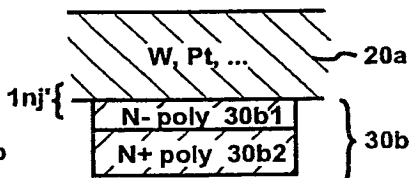


Fig. 10EB

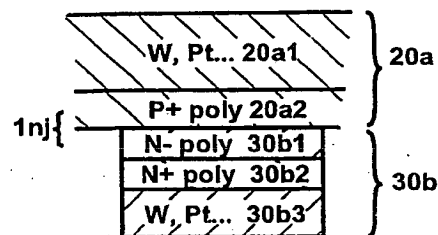


Fig. 10EC

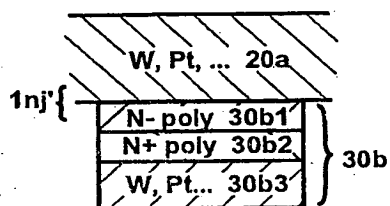


Fig. 10ED

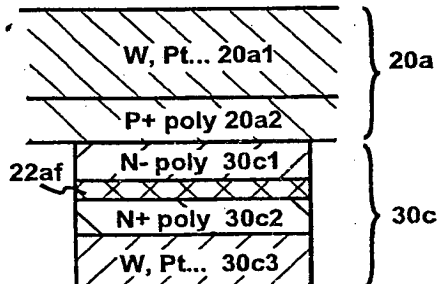


Fig. 11A

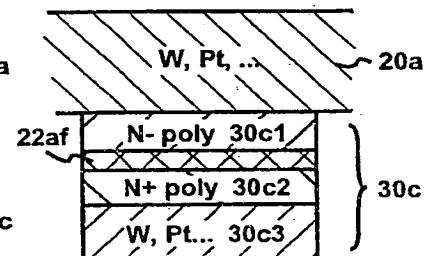


Fig. 11B

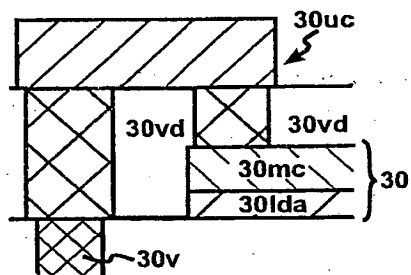


Fig. 12AA

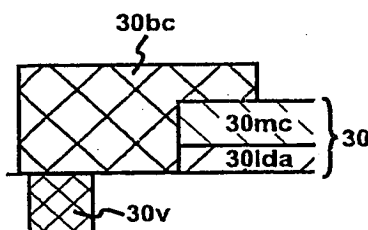


Fig. 12AB

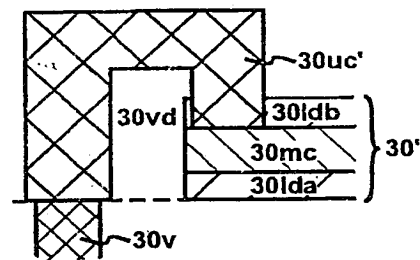


Fig. 12BA

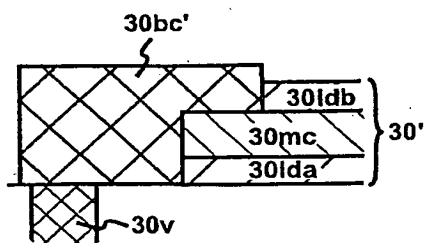


Fig. 12BB

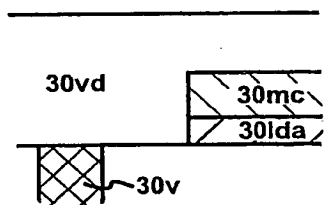


Fig. 12CA

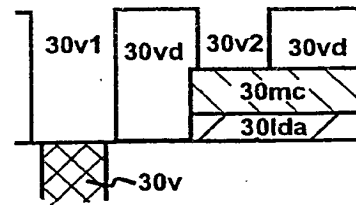


Fig. 12CB

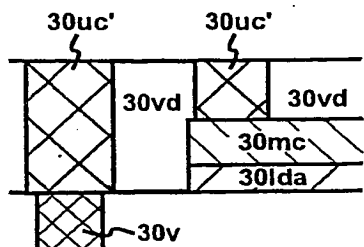


Fig. 12CC

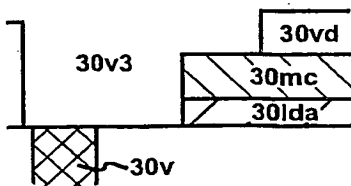


Fig. 12CB'

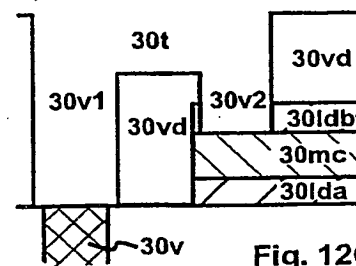


Fig. 12CB''

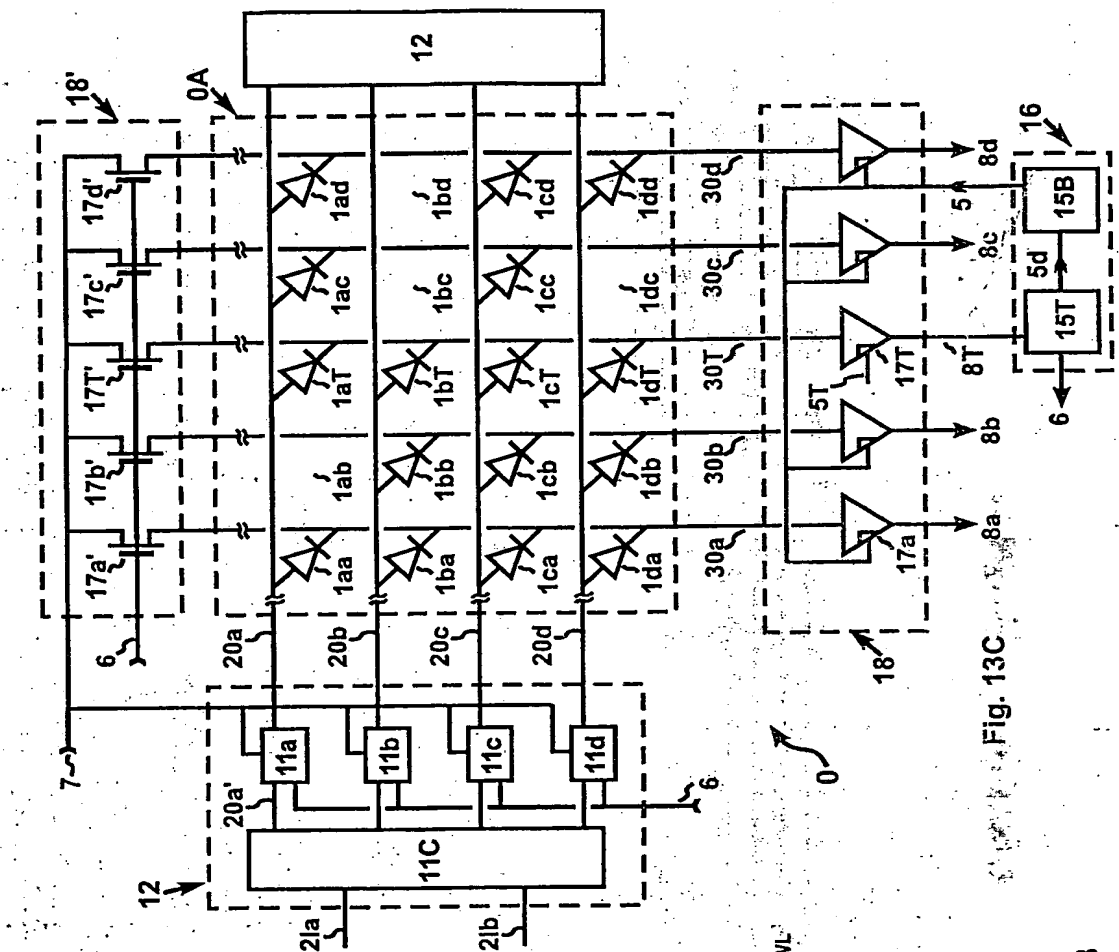


Fig. 13C

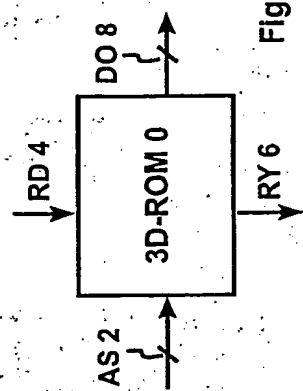


Fig. 13A

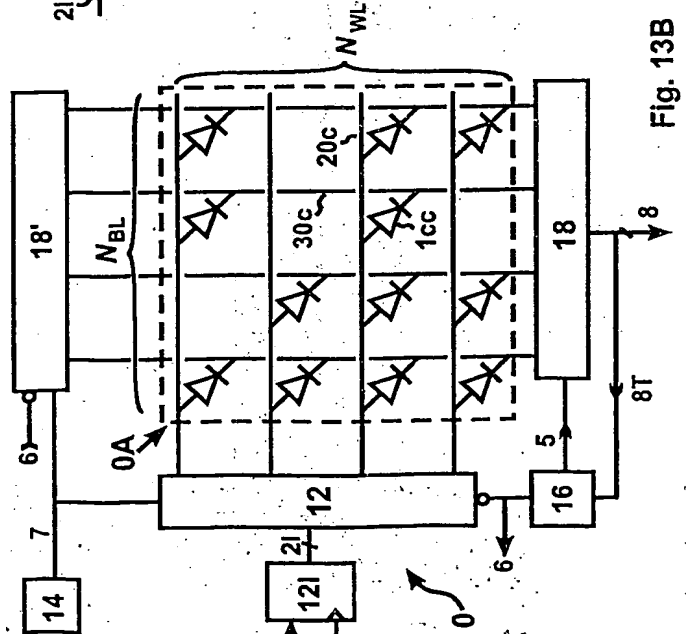


Fig. 13B

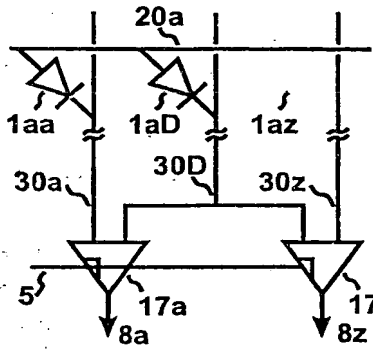


Fig. 14A

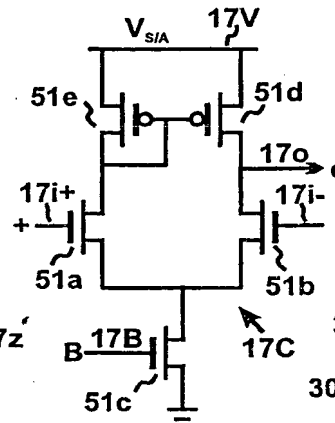


Fig. 14BA

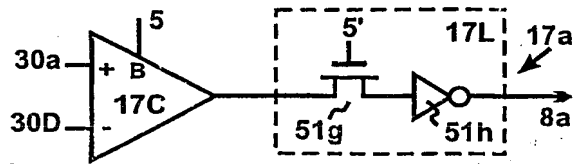


Fig. 14BB

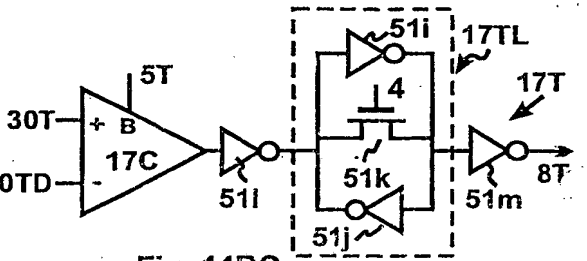


Fig. 14BC

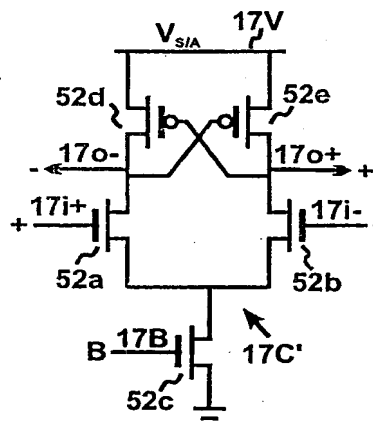


Fig. 14CA

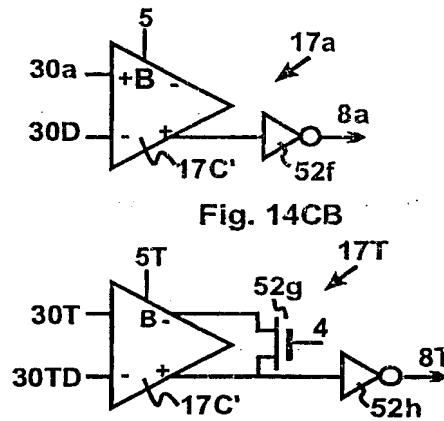


Fig. 14CB

Fig. 14CC

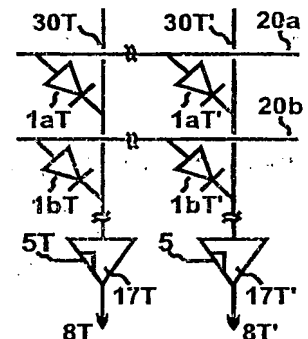


Fig. 14DA

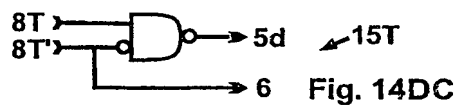


Fig. 14DC

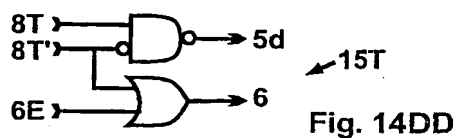


Fig. 14DD

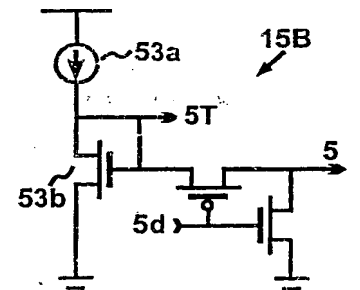


Fig. 14E

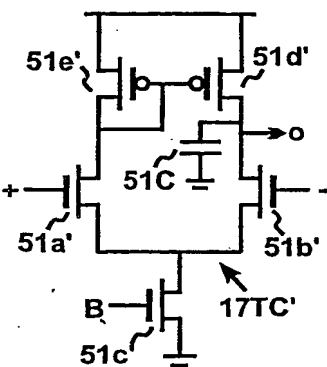


Fig. 14DB

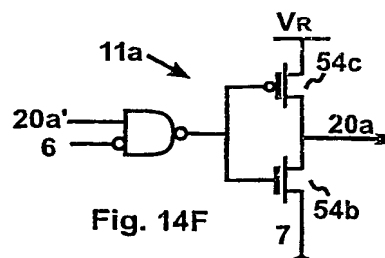


Fig. 14F

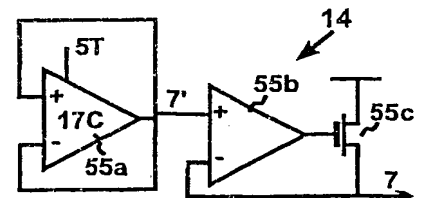


Fig. 14G

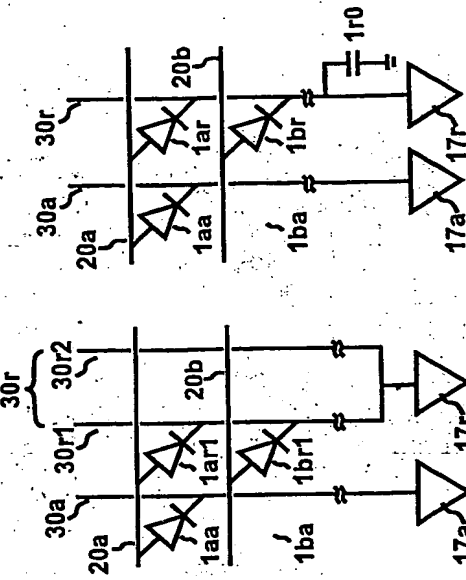


Fig. 15CA

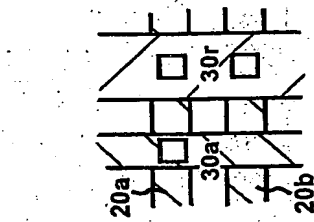


Fig. 15AD

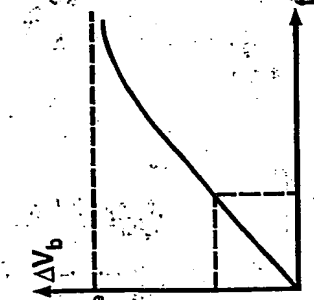


Fig. 15AA

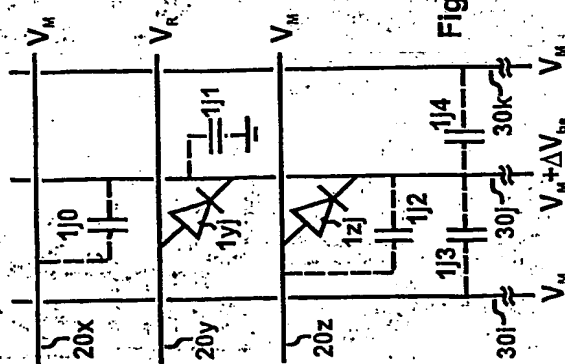


Fig. 15AB

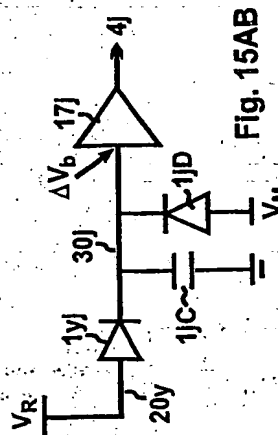


Fig. 15BA

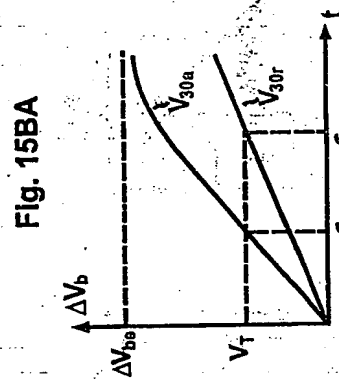


Fig. 15BB

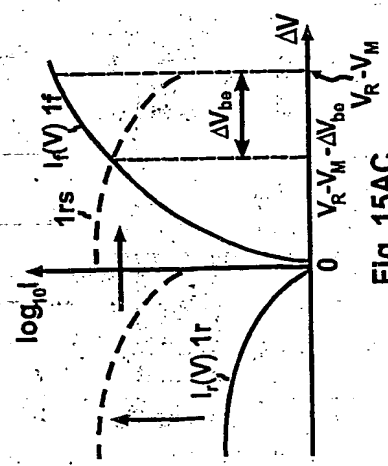


Fig. 15AC

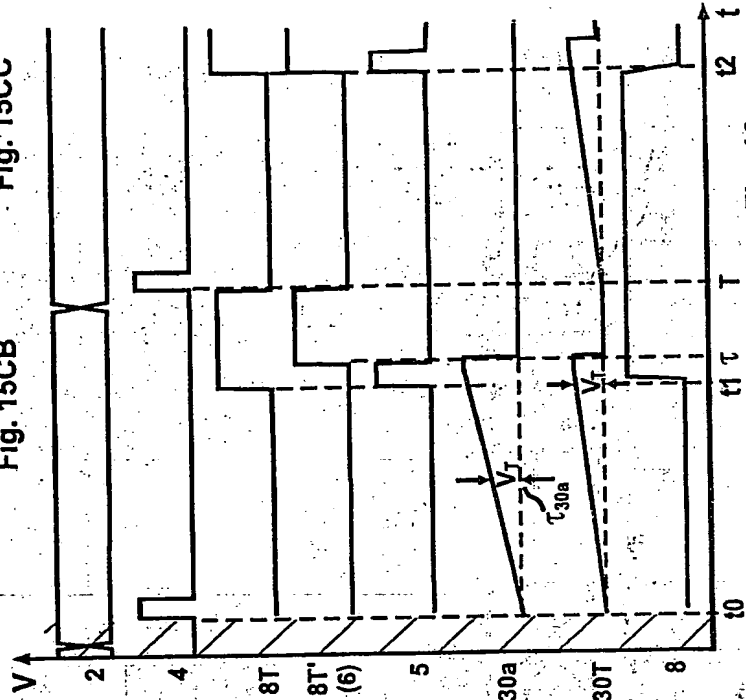


Fig. 16

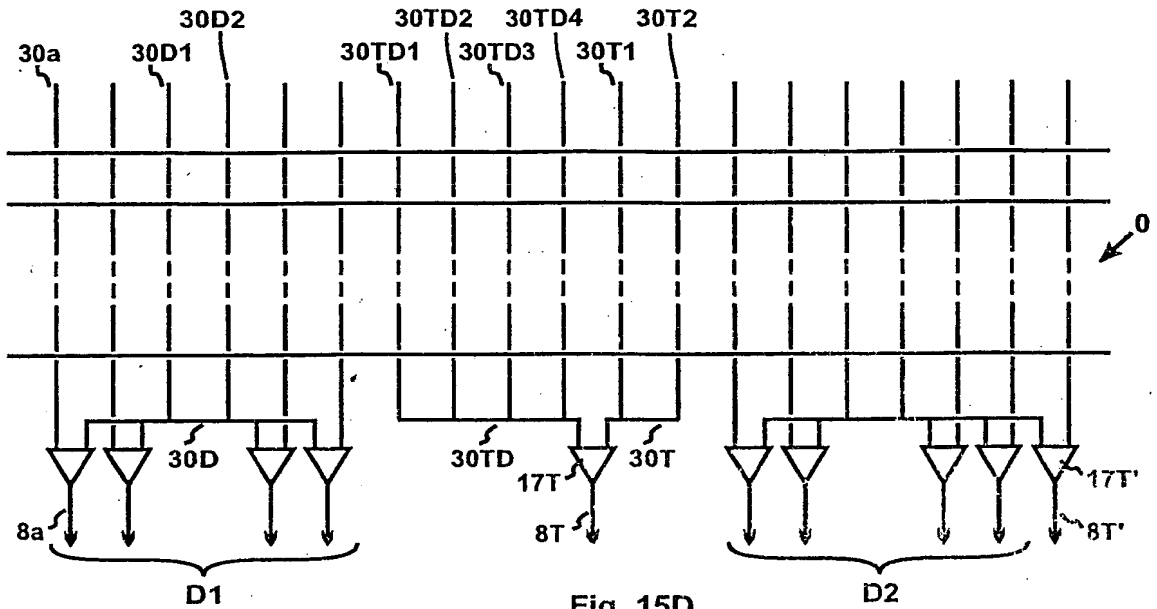


Fig. 15D

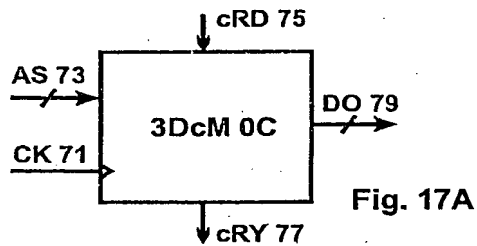


Fig. 17A

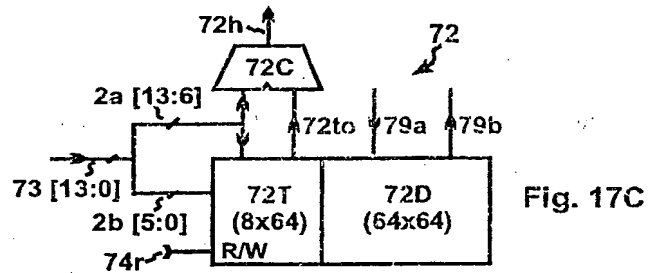


Fig. 17C

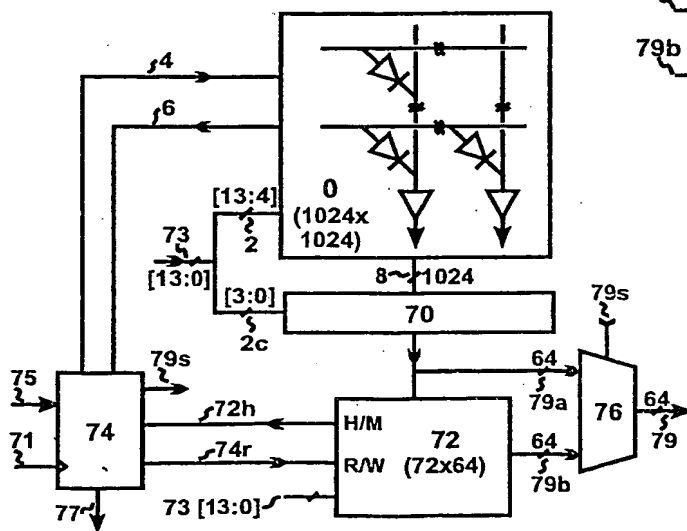


Fig. 17B

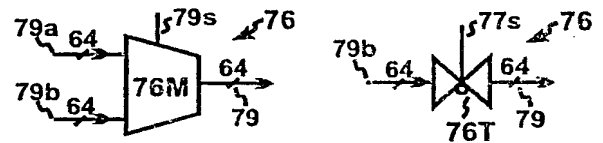


Fig. 17EA

Fig. 17EC

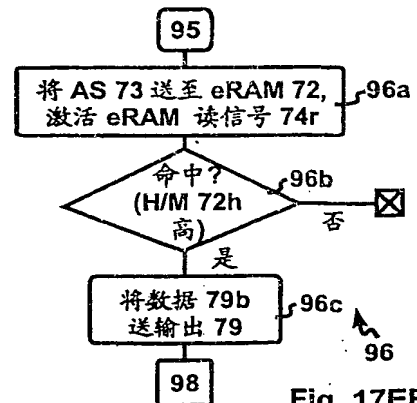


Fig. 17EB

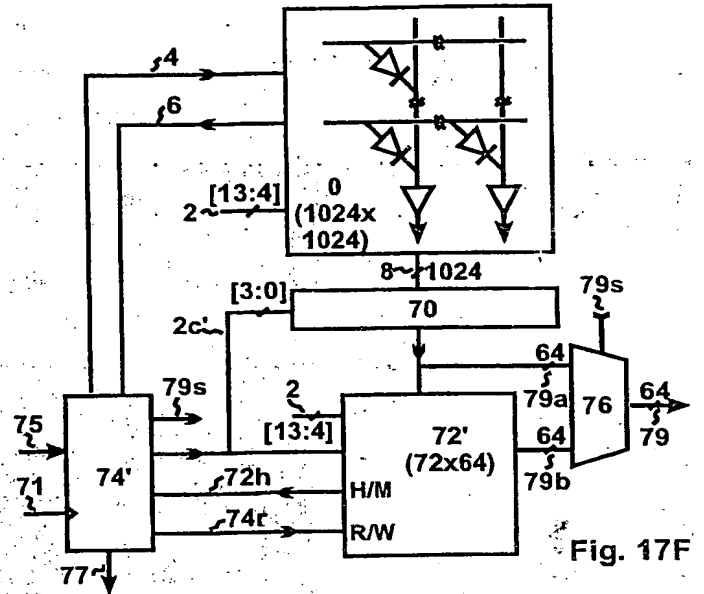
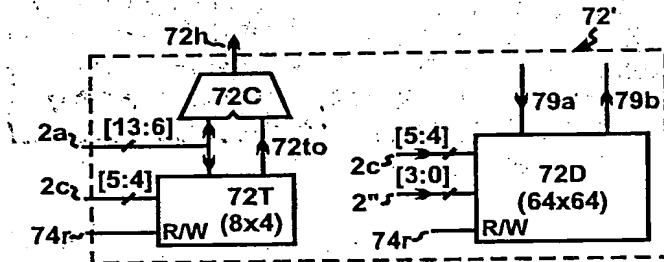
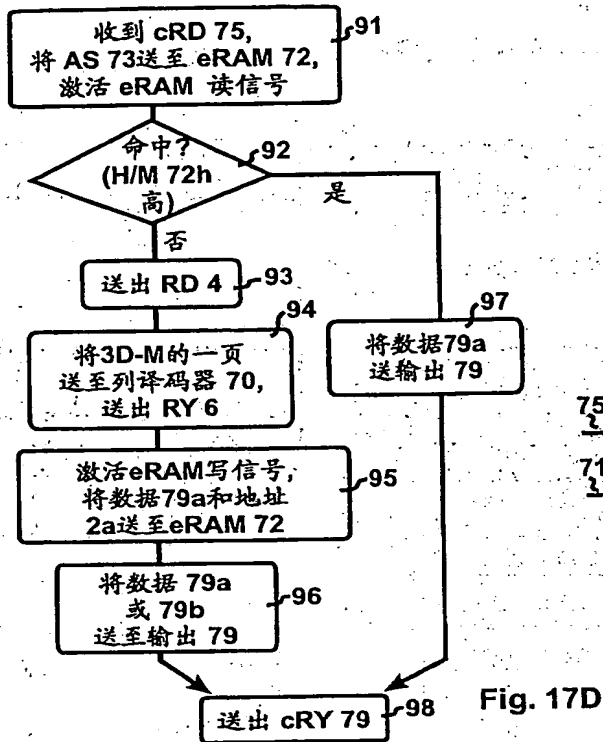


Fig. 17F

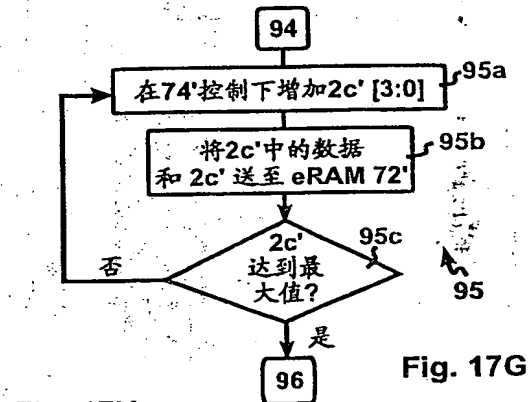


Fig. 17H

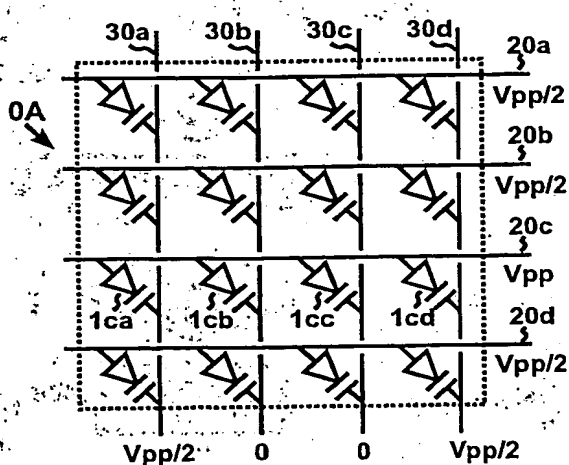


Fig. 18A

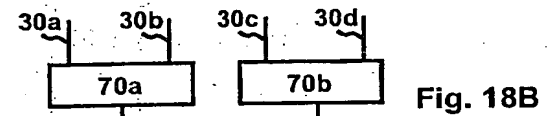


Fig. 18B

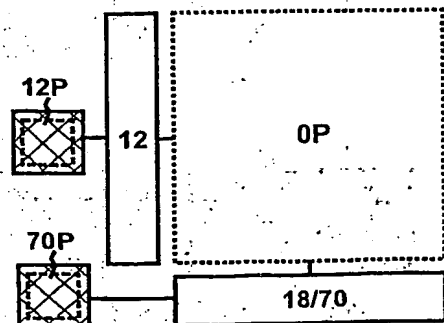


Fig. 18C

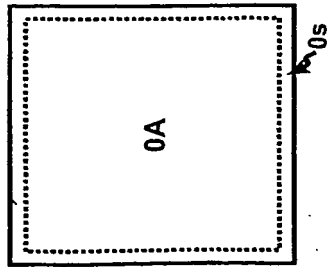


Fig. 19AA

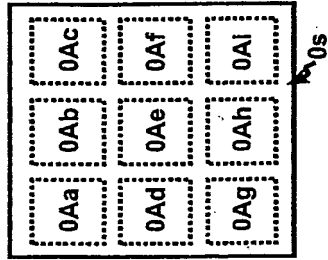


Fig. 19AB

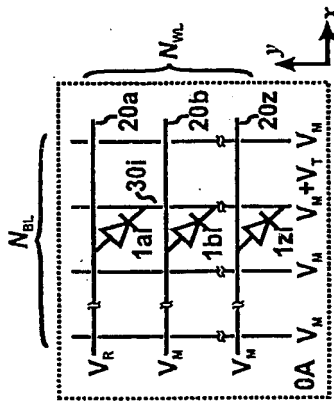


Fig. 19B

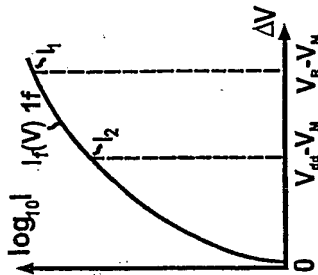


Fig. 19CA

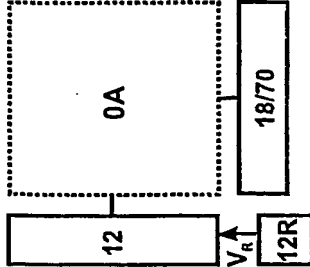


Fig. 19CB

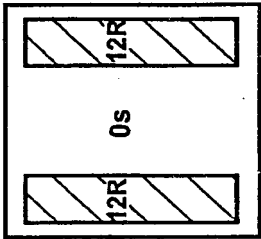


Fig. 19CC

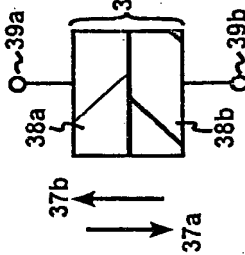


Fig. 19D

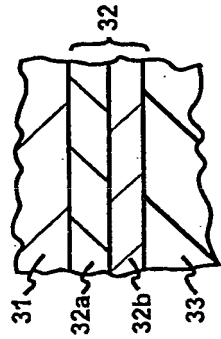


Fig. 19EA

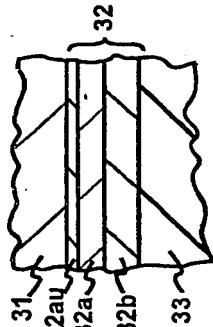


Fig. 19EB

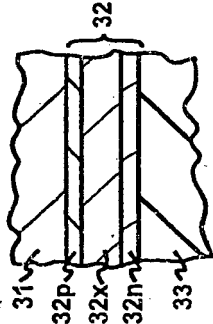


Fig. 19EC

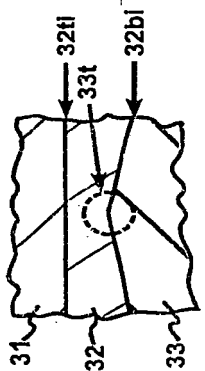


Fig. 19F

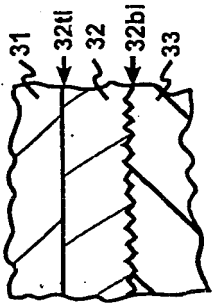


Fig. 19G

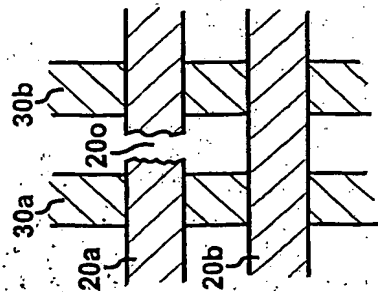


Fig. 20AA

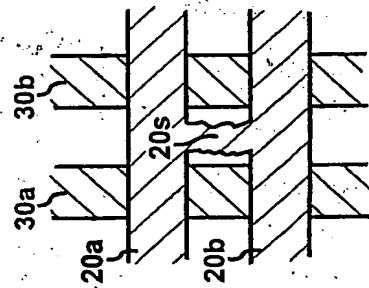


Fig. 20AB

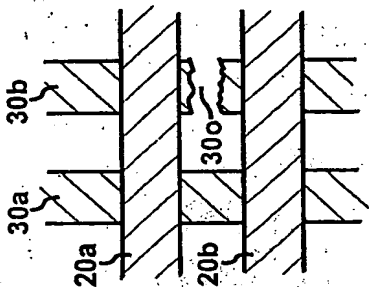


Fig. 20BA

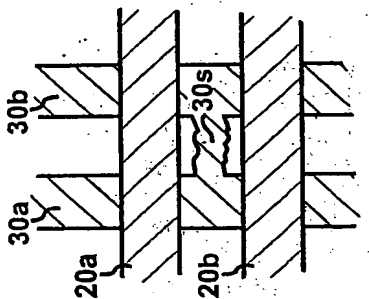


Fig. 20BB

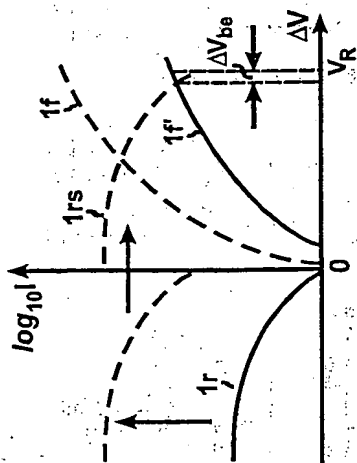


Fig. 20CA

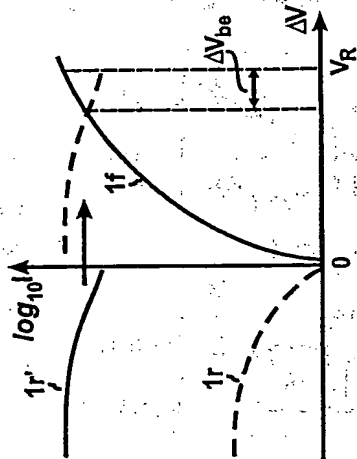


Fig. 20CB

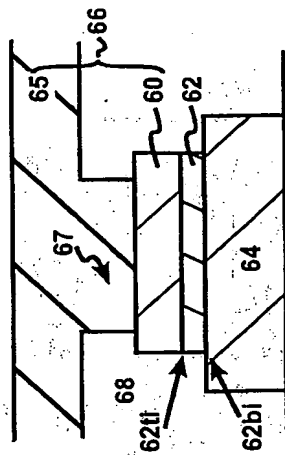


Fig. 21A

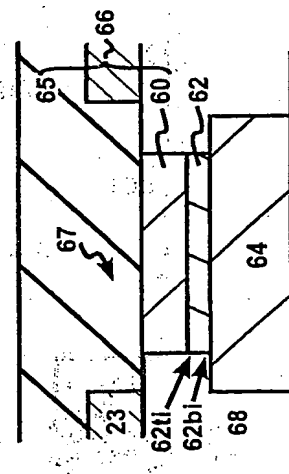


Fig. 21B

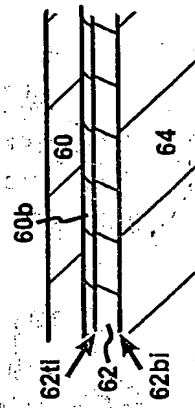


Fig. 22AB

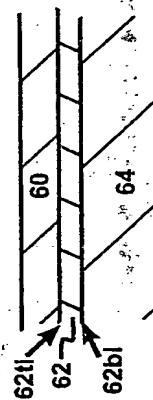


Fig. 22AA

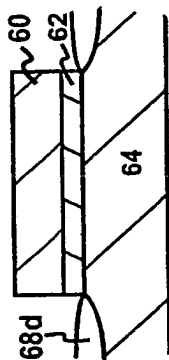


Fig. 22CA

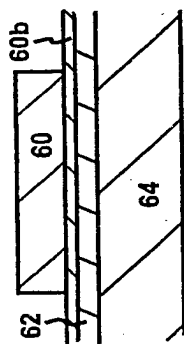


Fig. 22BC

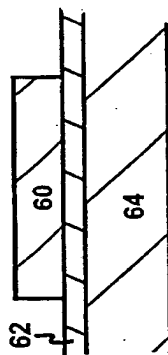


Fig. 22BB

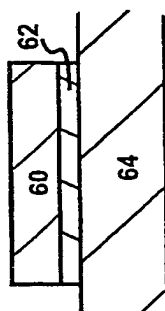


Fig. 22BA

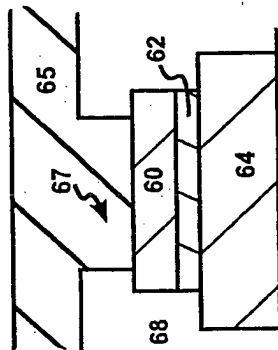


Fig. 22E

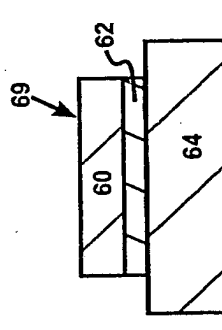


Fig. 22D

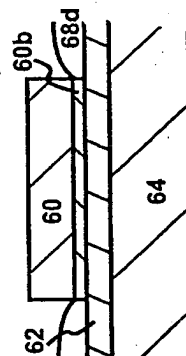


Fig. 22CC

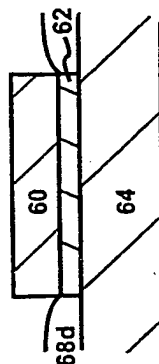


Fig. 22CB

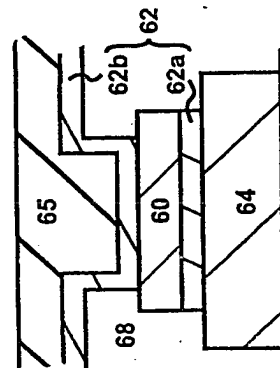


Fig. 23B

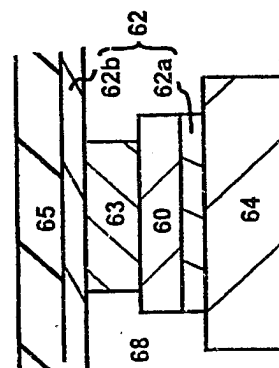


Fig. 23A

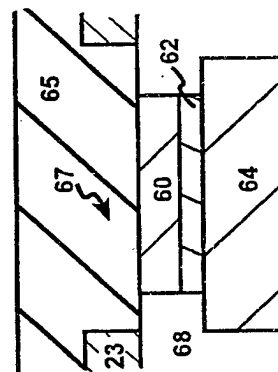


Fig. 22E'

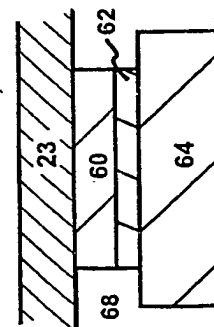
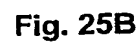
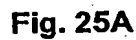
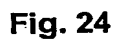


Fig. 22D'



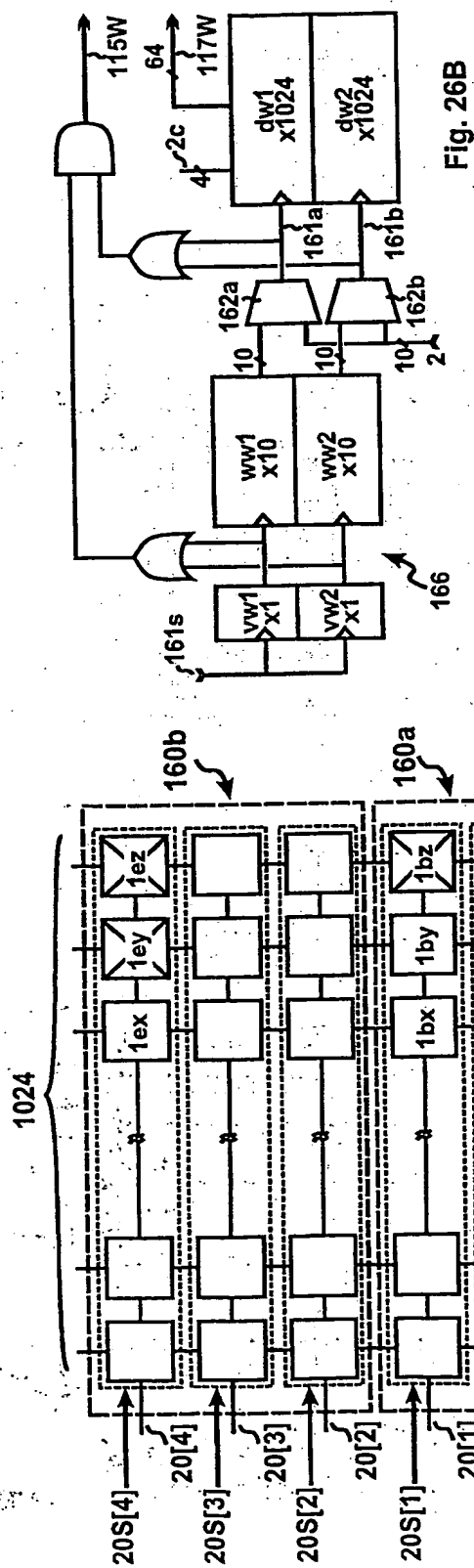


Fig. 26B

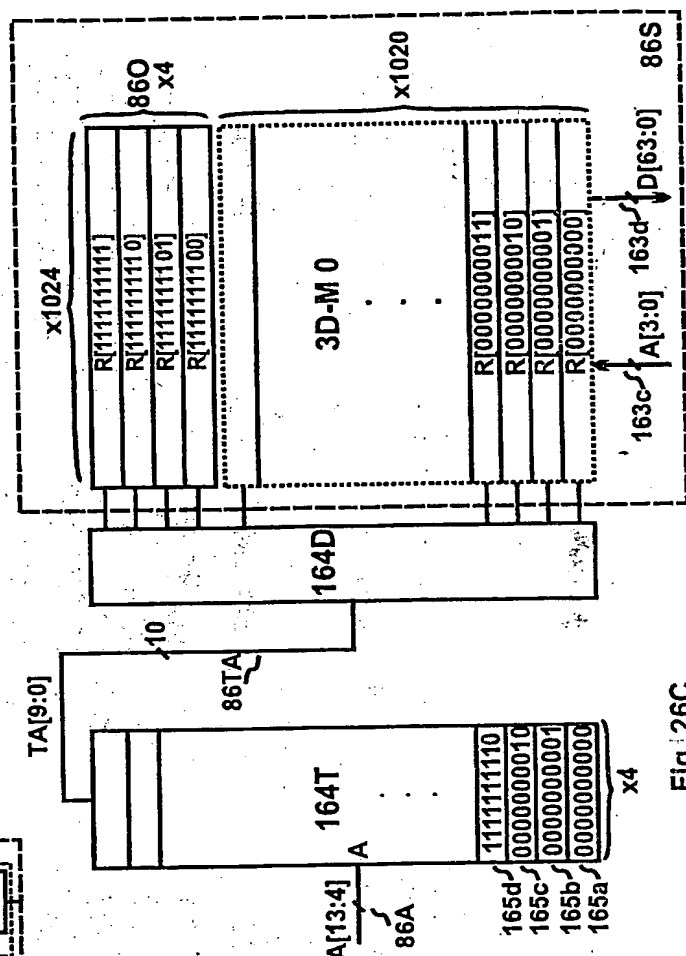


Fig. 26C

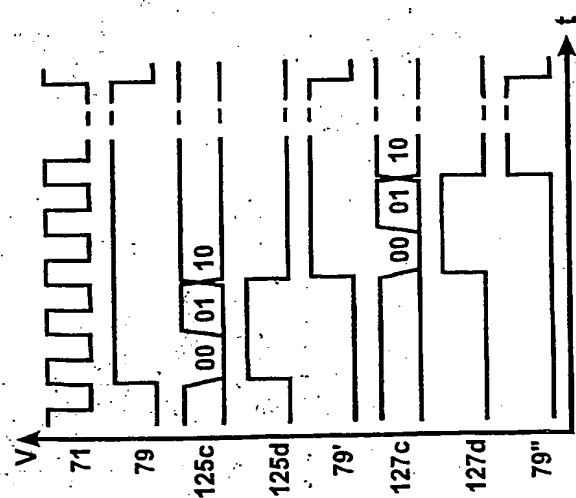
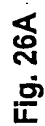
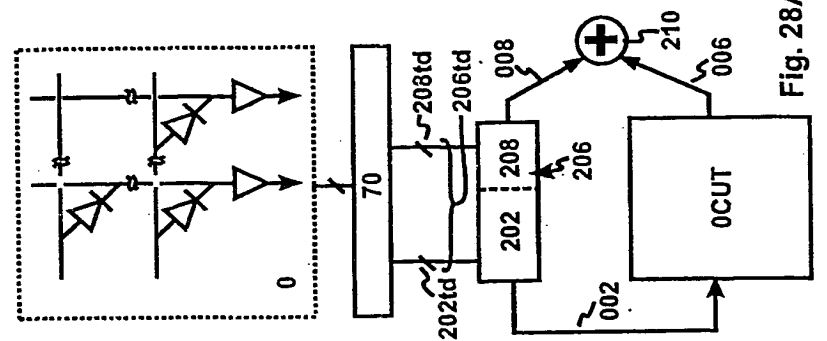
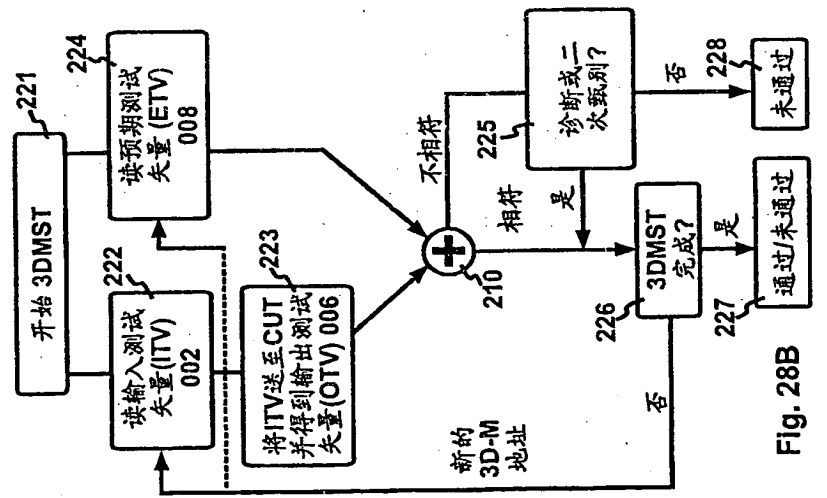
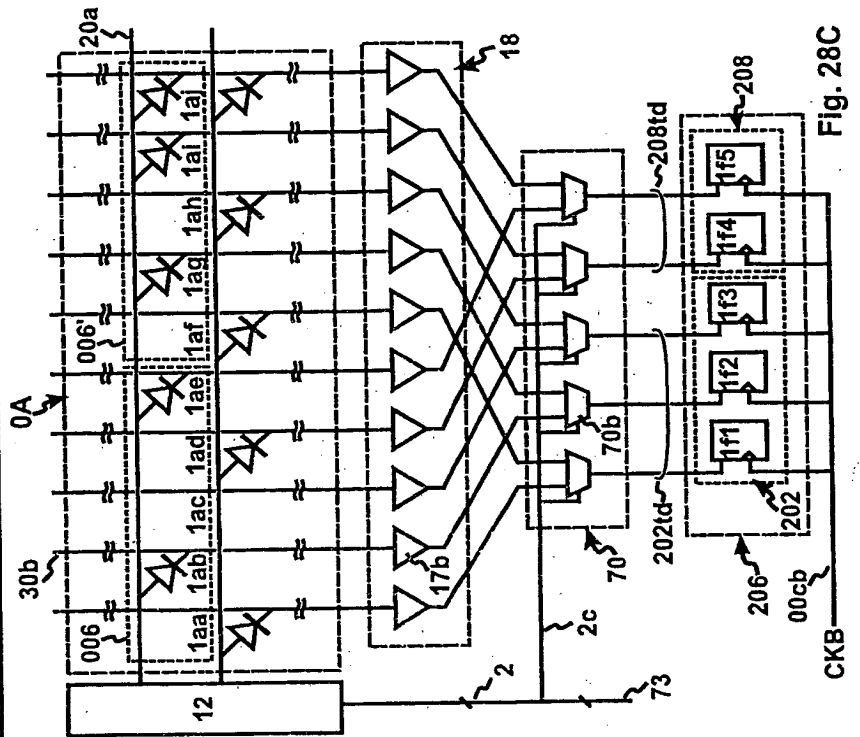
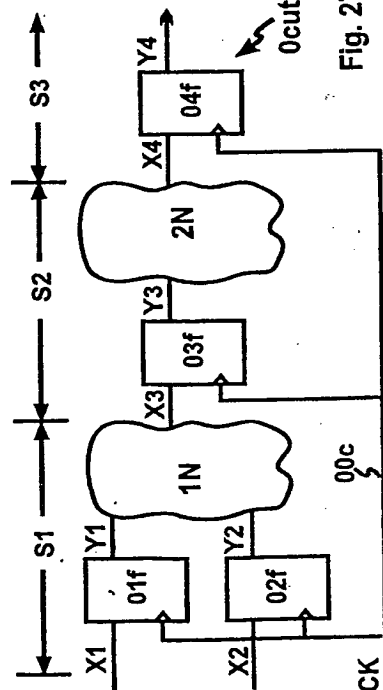
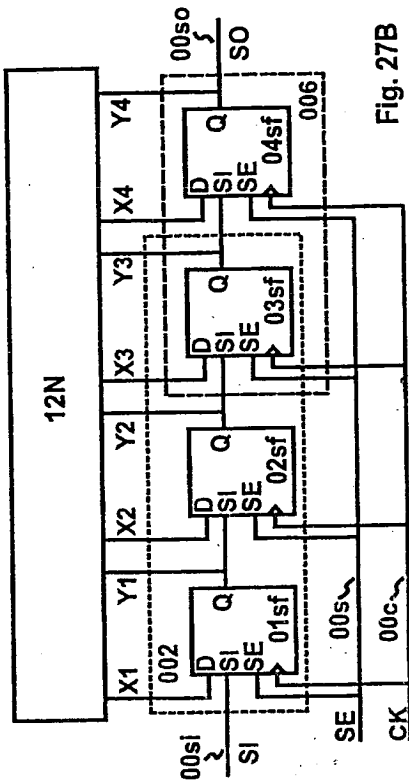
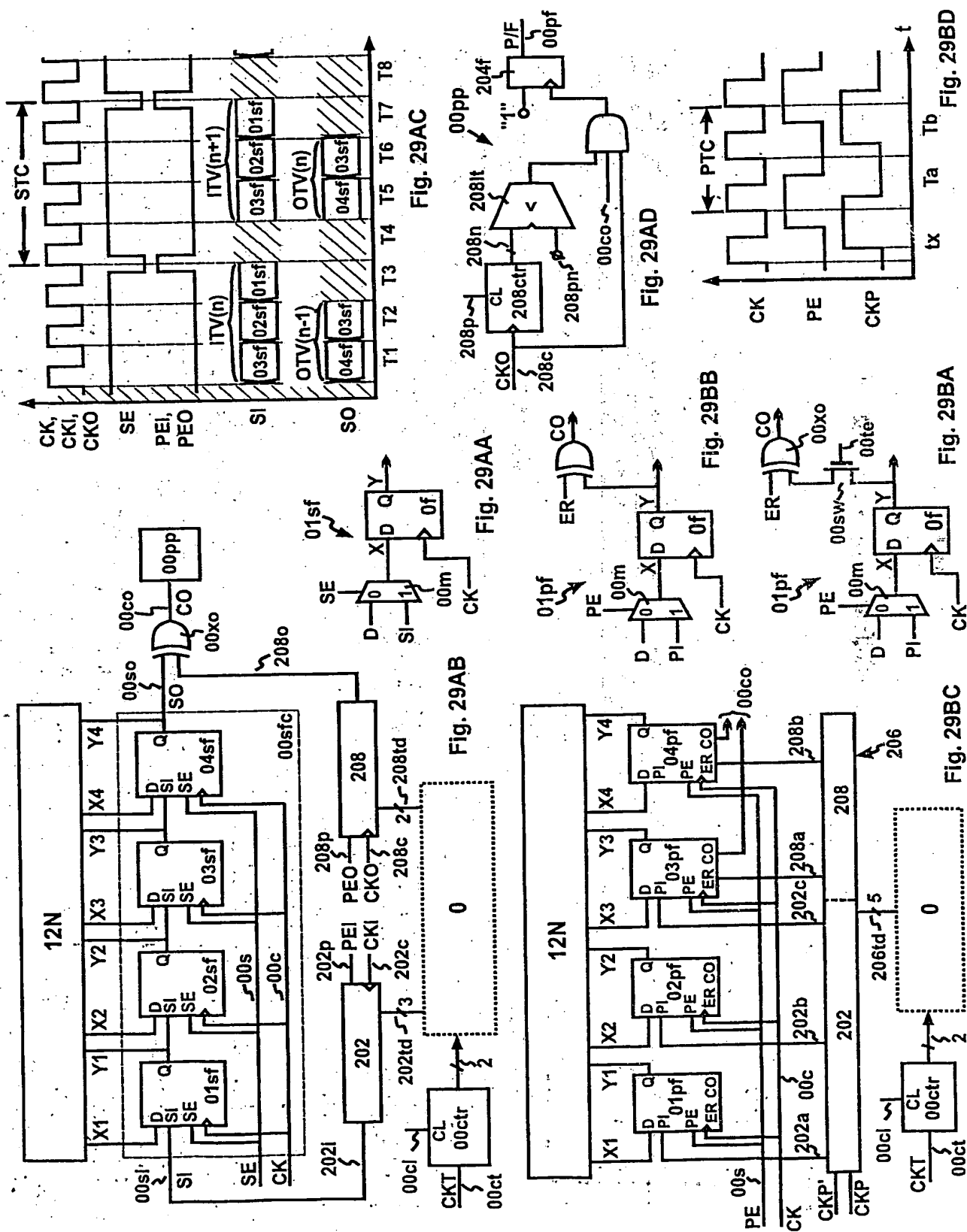


Fig. 25DC





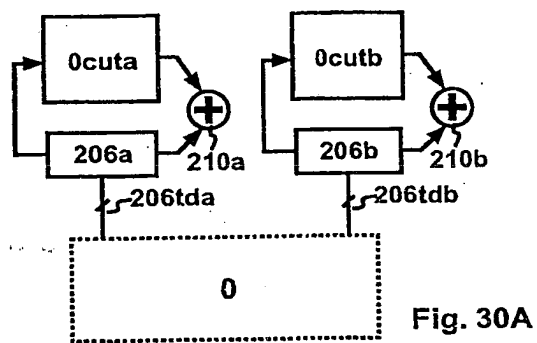


Fig. 30A

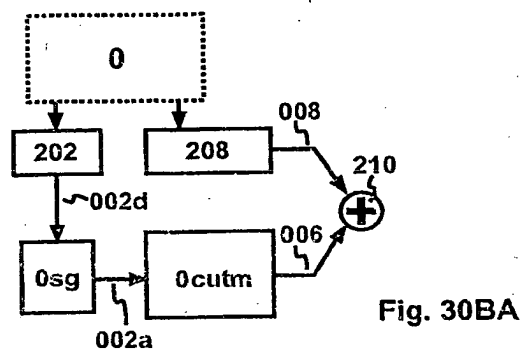


Fig. 30BA

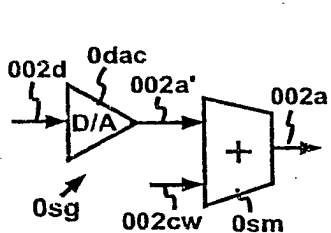


Fig. 30BB

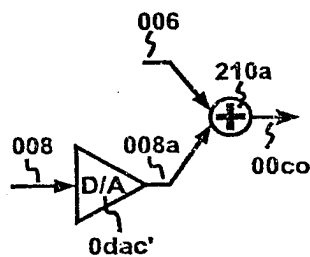


Fig. 30BC

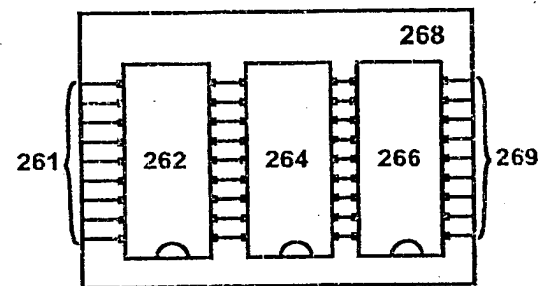


Fig. 30C

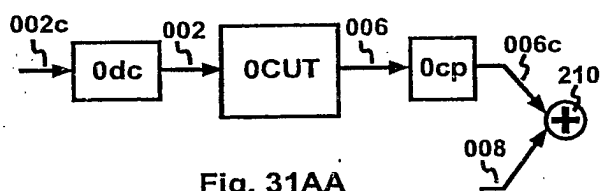


Fig. 31AA

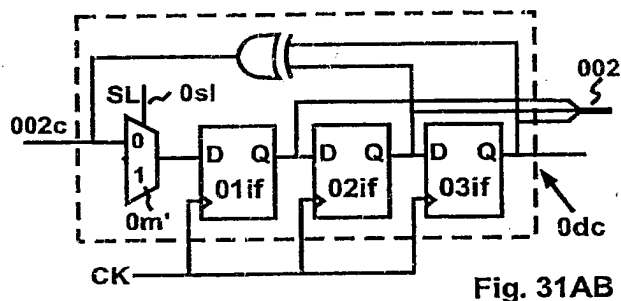


Fig. 31AB

	测试方法
电路块层次	BIST等
芯片层次/ 结构测试	3DMST (可与EST结合)

Fig. 31BA

	测试方法
高速测试, 重要测试矢量	3DMST (可与 BIST 结合)
中低速测试	EST

Fig. 31BB

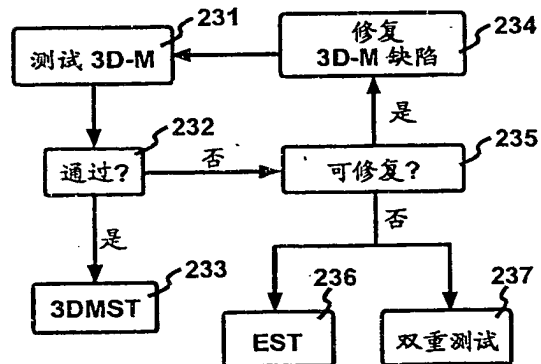
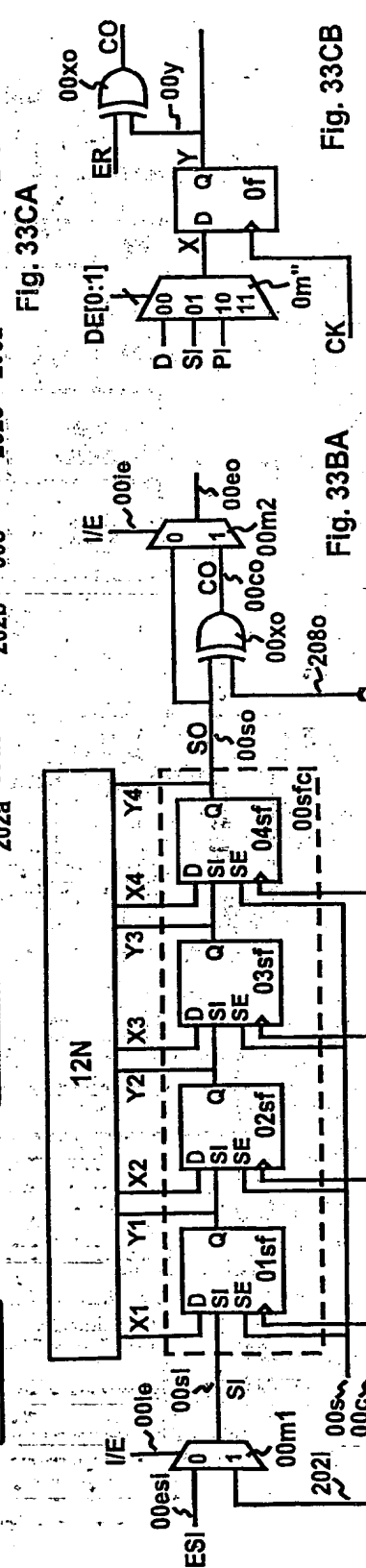


Fig. 32



INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN02/00703

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, WPI, PAJ, CNPAT

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN1212452A, ZHANG, Guobiao 31. Mar 1999 (31.03.99)	1-3, 5-10, 12, 15-26
A	The whole document	27-30
A	CN1252604A, 10. May 2000 (10.05.00) The whole document	27-30

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date, or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
04. DEC 2002 (04.12.02)

Date of mailing of the international search report
02 JAN 2003 (02.01.03)

Name and mailing address of the ISA/CN
6 Xitucheng Rd., Jimen Bridge, Haidian District,
100088 Beijing, China
Facsimile No. 86-10-62019451

Authorized officer

Xie, xuemin

Telephone No. 86-10-62093475



INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN02/00703

Box III TEXT OF THE ABSTRACT (Continuation of item 5 of the first sheet)

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
CN1212452A	31.03.99	AU5406199A	17.04.00
		WO0019537A	06.04.00

国际检索报告

国际申请号

PCT/CN02/00703

A. 主题的分类

H01L21/00

按照国际专利分类表(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类体系和分类号)

H01L21/00

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称和, 如果实际可行的, 使用的检索词)

EPODOC, WPI, PAJ, CNPAT

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求编号
X	CN1212452A, 张国飙 31.3 月 1999 (31.03.99)	1-3, 5-10, 12, 15-26
A	全文	27-30
A	CN1252604A, 联华电子股份有限公司 10.5 月 2000 (10.05.00)	27-30
	全文	

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的专用类型:

“A” 明确叙述了被认为不是特别相关的一般现有技术的文件

“E” 在国际申请日的当天或之后公布的在先的申请或专利

“L” 可能引起对优先权要求的怀疑的文件, 为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布的在后文件, 它与申请不相抵触, 但是引用它是为了理解构成发明基础的理论或原理

“X” 特别相关的文件, 仅仅考虑该文件, 权利要求所记载的发明就不能认为是新颖的或不能认为是有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 权利要求记载的发明不具有创造性

“&” 同族专利成员的文件

国际检索实际完成的日期

04.12 月 2002 (04.12.02)

国际检索报告邮寄日期

02. 1月 2003 (02. 01. 03)

国际检索单位名称和邮寄地址

ISA/CN

中国北京市海淀区西土城路 6 号(100088)

传真号: 86-10-62019451

受权官员

谢雪梅

电话号码: 86-10-62093475

国际检索报告
关于同族专利成员的情报

国际申请号
PCT/CN02/00703

检索报告中引用的 专利文件	公布日期	同族专利成员	公布日期
CN1212452A	31.03.99	AU5406199A	17.04.00
		WO0019537A	06.04.00



INFLUENZA (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS AREA (USPTO)